
This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

#12

S&H Form: (2/01)

Attorney Docket No. 122.1465

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Takayuki OOE, et al.

Application No.:

Group Art Unit:

Filed: August 16, 2001

Examiner:

For: METHOD OF DRIVING DISPLAY DEVICE CAPABLE OF ACHIEVING DISPLAY OF IMAGES IN HIGHER PRECISION WITHOUT CHANGING CONVENTIONAL SPECIFICATIONS OF PANEL



**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. §1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. §1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2000-360760 and 2001-107640

Filed: November 28, 2000 and April 5, 2001, respectively

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. §119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: August 16, 2001

By: 

J. Randall Beckers
Registration No. 30,358

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

©2001 Staas & Halsey LLP

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc971 U.S. PTO
09/930183
08/16/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月28日

出 願 番 号

Application Number:

特願2000-360760

出 願 人

Applicant(s):

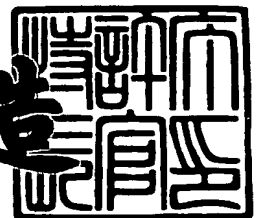
御子柴 茂生

富士通日立プラズマディスプレイ株式会社

2001年 7月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3067456

【書類名】 特許願

【整理番号】 0001273

【提出日】 平成12年11月28日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20

【発明の名称】 表示装置の駆動方法

【請求項の数】 1

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立
プラズマディスプレイ株式会社内

【氏名】 大江 崇之

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立
プラズマディスプレイ株式会社内

【氏名】 上田 壽男

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立
プラズマディスプレイ株式会社内

【氏名】 戸田 幸作

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立
プラズマディスプレイ株式会社内

【氏名】 荻谷 教治

【発明者】

【住所又は居所】 東京都杉並区和泉2丁目43番17号

【氏名】 御子柴 茂生

【発明者】

【住所又は居所】 神奈川県川崎市高津区千年764-403

【氏名】 志賀 智一

【発明者】

【住所又は居所】 神奈川県藤沢市鵠沼松が岡 2 - 9 - 5

【氏名】 山田 真規子

【特許出願人】

【識別番号】 394023218

【氏名又は名称】 御子柴 茂生

【特許出願人】

【識別番号】 599132708

【氏名又は名称】 富士通日立プラズマディスプレイ株式会社

【代理人】

【識別番号】 100108187

【弁理士】

【氏名又は名称】 横山 淳一

【電話番号】 044-754-3035

【手数料の表示】

【予納台帳番号】 999999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置の駆動方法

【特許請求の範囲】

【請求項 1】 画像を構成する 1 フレーム期間を複数のサブフレームに分割し、前記サブフレームにおいて表示装置を構成する画素の発光を制御する手段を具備し、且つ表示画面上を任意の速度で移動する画像を表示する表示装置の駆動方法において、

網膜に結像される特定の網膜上面素を想定し、該網膜上面素の輝度を入力画像の輝度と概略等しくするよう、前記各サブフレームにおける発光を制御することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネル (Plasma Display Panel:PDP) のような時分割表示方式を用いて階調を表現している表示装置において、その画質を改善し、高精細な映像表示を実現するための手法に関する。

【0002】

【従来の技術】

PDPでは、動画を表示する際に、表示画像のエッジ部分が不鮮明になる。これは、動く像を目が追従する時の目の残像効果によるものである。この乱れは、動画偽輪郭と呼ばれるPDPの大きな問題の発生原理と同じである。

【0003】

この動画偽輪郭を低減する手法として、階調数を減少させ発光ブロックの数を増やす方法や、発光重心の移動を抑制する重ね合せ処理といった手法が、従来提案されている。

【0004】

【発明が解決しようとする課題】

しかし、これらの方式を用いると、画像のエッジ部分の不鮮明さが更に強調されることとなる。そこで自然な映像表現を行うためには、階調数を落とすことな

く動画偽輪郭を低減する必要がある。

【0005】

また、より高精細なパネルを実現する為には、アドレススピードを上げることはもちろん、洗練された製造技術も要求される。そのため、現状技術のまま PDP の解像度を上げることは容易ではない。また高解像度は、放電セルの縮小による発光効率の低下を招く。

【0006】

本発明は、エッジ部分の不鮮明さを改善し、さらに従来のパネルを仕様変更せずにより高精細な映像表示を実現しようとするものである。この方法を、仮想画素法と呼ぶこととする。

【0007】

【課題を解決するための手段】

本発明は、画像を構成する 1 フレーム期間を複数のサブフレームに分割し、前記サブフレームにおいて表示装置を構成する画素の発光を制御する手段を具備し、且つ表示画面上を任意の速度で移動する画像を表示する表示装置の駆動方法において、網膜に結像される特定の網膜上画素を想定し、該網膜上画素の輝度を入力画像の輝度と概略等しくするよう、前記各サブフレームにおける発光を制御することにより、上記課題を解決する。

【0008】

本発明によれば、入力画像と網膜上に結像する映像とを一致させて、動画偽輪郭を低減することができる。また本発明では、動画像の発光の広がりを利用することにより、入力画像の精細度よりも更に高精細な表示を、パネル自体の精細度を上げることなく実現する。

【0009】

【発明の実施の形態】

本発明は、1 フレーム期間を種々の発光期間を有する複数のサブフレームに分割している表示装置に適用される。

【0010】

図 1 は入力画像（表示したい画素）とそれに対応して網膜上に想定される画素

を示している。なお、網膜上の画素の想定方法は、例えば特開 2 0 0 0 - 1 0 5 5 6 5 号公報に詳述されているのでここでは再述しない。

【 0 0 1 1 】

静止画では、図 1 のように入力した画素 Q, R, S, T の輝度がそのまま網膜上に想定した画素 Q', R', S', T' の輝度となる。しかし画像が左に移動した場合、画素 Q', R', S', T' の発光は、何も処理をしなければ図 2 の点線のような軌跡を網膜上に残す（移動速度 $V = -3$ [pixel/field]）。網膜上に想定した画素の輝度を入力画素と一致させる為には、この軌跡を利用する。例えば網膜上に想定した画素 S' を表現する場合、図 2 に示すように S' の幅内にある軌跡（太線部）を発光させれば、S' に対して入力画素と同じ輝度を点灯させることができる。これは、本来の画素の軌跡の長さ（時刻 = 0 の時、S' が左端から右斜め下方に延びる点線の総延長）と太線部の長さの合計が一致しているためである。これにより、網膜上の位置と輝度が入力画素のそれと一致するため、動画偽輪郭が低減されることになる。なおこの場合、元の画素 S が全てのサブフレームで発光する輝度であれば、太線部全てについて発光させ、S が特定のサブフレームで発光する輝度であれば、太線部内の任意の部分を発光させ、その総和が S の輝度と一致するよう制御を行う。

【 0 0 1 2 】

しかし実際に使用できる発光軌跡はサブフレーム発光期間に制限されるため、例えば図 2 9 に示す 1 2 S F（サブフレーム）を使用した場合には、図 3 の太線部を選択する。

【 0 0 1 3 】

図 3 において S' を構成する 3 本の斜め線（太線部）の内、一番上の太線の右下部は少しだけ T' の領域に侵入している。これは、それに対応する発光ブロック（D）が 1 発光ブロック = 1 サブフレームとなっており（図 2 9 参照）、そのため 1 つのサブフレーム内で途中で T' 領域にはみ出したからといって、途中から発光を止めるといった制御ができないことに起因している。同様に、一番下の太線も少し R' の領域に侵入している。従って、理想的には図 2 の様に輝度を一致させたいが、サブフレームの関係で完全に一致させることができない場合は、

出来るだけ元の画素Sの輝度に一番近くなるよう、各発光ブロックでの発光／非発光を制御する。この場合の具体的な発光ブロックの決定方法を図6，7，8，9に示す。

【0014】

図6は、パネル上の画素 P_n の構成発光ブロックがどの画素で使用されるのかを決定する原理を示している。なお、ここでは混乱を避けるため、パネル上の画素を P_n （＝パネル上の n 番目に位置する画素）、それに対応する網膜上の想定画素を P_{n-1}' ， P_n' ， P_{n+1}' ， P_{n+2}' という名前としている。

【0015】

まず P_n の発光の始点から注目する発光ブロックの発光の中心までの時間 t 、位置 dx を計算する。像の移動方向が左で $a = \text{int}(dx / \text{網膜上の1画素幅})$ が0の場合、その発光ブロックは網膜上の画素 P_n' で使用する（図7）。同様に $a = 1$ の時は P_{n+1}' （図8）、 $a = 2$ の時は P_{n+2}' （図9）で使用する。右方向への移動の場合に対しても、同様の方法で発光ブロックを決定することができる（図10，11，12，13，14，15）。

【0016】

図29のような12SFの場合、発光期間の等しい発光ブロック（Dブロック：冗長発光ブロック）が7つある。このように発光ブロック選択パターンがいくつもある場合には、解像度を向上させる為、位置的に左側にあるものから使う。図16では、網膜上の画素 S' を表現する場合、丸囲み数字の順に優先的に選択する。これは、太線部（発光ブロック）の中心位置と画素の左端との距離（＝ dx ）が①，②，…，⑦の順に短いからである。なお一番上にあるAの発光ブロックは、この図において他に同じ発光期間の発光ブロック（＝冗長発光ブロック）がないため、この選択の対象とはならない。1画素全体に発光を分散させるより、画素の一部に発光を集中させた方が解像度は上がる。右方向へ移動する画像についても同様である（図17）。

【0017】

また、移動速度により複数の冗長発光ブロックの位置が一致する場合（＝ dx の値が等しい場合）、時間的に早い方から選択する。これは、発光を時間的に前

詰めにする事によるフリッカ防止効果がある。(図 1 8, 1 9)

この網膜上に想定する画素は、本手法を応用することにより、実際の画素よりも高精細にすることができる(図 4, 5)。

【0 0 1 8】

PDPで階調表示方式として用いるフレーム内パルス数変調方式は、各画素の1TVフレームあたりの発光期間が最大で1TVフレームまで広がるという特徴を持つ。このため、画像が移動し視点が像を追従すると、画素の発光は1TVフレームで移動する画素分だけ網膜上で広がる。この広がりを制御して、パネル上の1画素に対応する網膜上の1画素内に、仮想的に画素を2つ作れば、画像の移動方向に対し解像度を2倍にすることができる。

【0 0 1 9】

視点が移動する画像を追従すると、網膜がパネル上の各画素より受ける発光の刺激は、1TVフレームで像が移動する画素分だけ広がる。画像の移動速度を v [P/F, pixel/field], 1TVフレームを構成するそれぞれのサブフレーム発光期間を t , 階調数を256とすると、各サブフレーム発光期間が網膜上で広がる幅は、網膜上の1画素の $(vt/255 + 1/3)$ 倍となる。なお、ここで用いる単位のpixelは、パネル上のR, G, B3画素で構成する1画素の幅である。

【0 0 2 0】

図4は、実際の画素(=パネル上の画素)Q, R, S, Tに対して、網膜上に想定される画素Q', R', S', T'を各々 n 分割させる例であり、図5は同じく2分割させる例を示している。例えばパネル上にQ, R, S, Tの4画素がある場合、通常表示では、網膜上の画素も同じくQ, R, S, Tの4画素となる。一方で仮想画素法を用いると、例えば図5の例では網膜上に仮想画素を8個形成し、PDP上の画素の2倍の解像度の画像が表現できる。つまり、動画像に対しては、パネル特性がVGA仕様のPDPでSXGA表示が可能となる。

【0 0 2 1】

なお、網膜上に想定される画素の数を、実際のパネル上の画素数の2倍にするため、パネル上の1画素に対応する網膜上の1画素幅内に仮想画素を2つ形成さ

せる場合、仮想画素 S_1' を形成する為に使用する理想的な発光の軌跡は図 2 0 の太線部となる。

【0022】

本方式を用いるには、まず画像が動いていること、またその動きの方向と速度がわかっている必要がある。図 2 4 (C) に示す 2 4 S F 配列を使用した場合、選択される発光ブロックは図 2 1 のようになる。これらは、右方向へ移動する画像に対しても同様である (図 2 2, 2 3)。

【0023】

また、図 2 4 のサブフレーム配列 (= 発光ブロック配列) は 0. 5 F を中心に左右対称となっていることを特徴とする。網膜上の 1 / 2 画素毎に 2 5 6 階調表示するため、1 T V フィールド内に 2 5 6 階調分のサブフィールドを 2 セット作成する。これは、1 画素を 2 つに分割した仮想画素を用いる場合、仮想画素それぞれで左右対称に発光パターンを選択することができるため、使用発光ブロック決定時に有効である。発光ブロックの選択に冗長性のある場合には、前述と同様、空間的に選択可能である時には画素の端部から、時間的に選択可能である時には時間的に早い発光ブロックから優先して選択する (図 2 5 - 2 8)。

【0024】

例として、2 4 S F を用い、画像が 3 [P / F] で左に移動する場合を考える。図 2 1 中斜めの点線は、パネル上の同色の画素 Q, R, S, T の発光の軌跡を示している。画像の移動と視点の追従により、各サブフレームの発光期間は網膜上に分散している。この発光位置をコントロールして網膜上の 1 画素幅内に 2 画素分のデータを配置すれば、解像度を 2 倍にすることができる。すなわち、太線部の左半分で示される発光ブロックを選択すると、網膜上で受ける発光の刺激は S_1' 、太線部の右半分で示される発光ブロックを選択すると、網膜上で受ける発光の刺激は S_2' となり、それぞれ幅が 1 / 2 画素である。また、太線部の左半分及び右半分のそれぞれには、A の発光ブロック 1 個と D の発光ブロック 7 個が含まれているため、それらの組み合わせで 2 5 6 階調を表示可能である。このようにして、パネル上の画素は Q, R, S, T であるが、仮想画素法を用いると、視認される画素は Q_1' , Q_2' , R_1' , R_2' , S_1' , S_2' , T_1' , T_2' と 2 倍の解像

度を持たせることができる。ただし、画素間の輝度は0とはならず、重なることになる。

【0025】

図35は図24に示した4種類のサブフレーム配列に対し、仮想画素法を用いてパネルの解像度VGAの2倍のSXGAの解像度で0-255-0-255という縞模様パターンをスピード1から19[P/F]で表示した際のコントラスト $(B_{\max} - B_{\min}) / (B_{\max} + B_{\min})$ を計算した結果である。

【0026】

像の移動速度が大きくなるにつれ、コントラストは低下する。これは、移動速度に比例してサブフレーム発光の位置的広がりが大きくなるためである。それぞれのサブフレーム配列に対し、コントラストが0.2以上および0.5以上となる速度範囲を図36に示す。一般的なテレビ信号において、動画の出現頻度は移動速度の増加にともない減少し、例えば10[P/F]の画像の出現頻度は1[P/F]の頻度の約1割である。したがって、速度が1~10[P/F]の間でコントラスト0.5以上を表現をするには、24SF以上必要であることがわかる。発光の広がり1TVフレームを構成する中で最も発光期間の長いサブフレームに依存するため、十分な効果を得るにはこれになるべく短い方がよい。

【0027】

入力画像がSXGA、表示PDPがVGAである場合、通常的方式では、SXGA→VGAの画像変換を経てPDPに表示され、視認される画像はVGAとなる。一方、仮想画素法を用いると、移動方向に対してSXGAの画像データをそのまま入力することができ、表示で用いるPDPはVGAでありながら視認される画像は移動方向に対しSXGAとなる。

【0028】

図37は、この利用方法をコンピュータシミュレーションを用いて確かめた結果である。ここで図中の数字は階調レベルを示すものとする。入力画像がSXGAの単色で1-0-1-0-というパターンであった場合(a)、通常的方式ではサンプリングのタイミングにより0~1の間の値、例えば0.5の様なパターンとなり、縞模様を再現できない(b)。しかし、仮想画素法を用いれば、原

画像を正しく再現することができる(c)。

【0029】

更に、入力がVGAであった場合、補間法を用いて入力画像の情報を増やして仮想画素法を用いて表示すると、視認される画像は移動方向に対してSXGAの表現が可能となる。図38はこれをコンピュータシミュレーションを用いて確かめた例である。VGAの1画素幅中に2データ入力することができ、より細部の表現が可能となる。

【0030】

本発明による仮想画素法を用いれば、表示するPDPの特性がVGAであっても、移動方向に対して2倍の情報量を入力することができる。したがって、入力がSXGAであった場合は、正確に再現することができ、また入力がVGAである場合にも、補間法などを用いて情報量を増やし、視認画像の情報量を2倍にすることができる。

【0031】

本方式は水平、垂直および隣接する斜め画素方向の8移動方向に対し有効である。また、仮想画素法は、信号処理のみで動画像の解像度を向上させる技術であり、パネル構造の変更は必要ない。ただし、十分な階調表示特性を得るために、1TVフレームに512階調を得ることのできるサブフレーム数が必要で、通常の2倍のスイッチング速度が必要である。現在ではNTSC、ダブルスキャン方式で32SF駆動が実証されているため、今回の24SFは実現可能である。

【0032】

次に、色について仮想画素法を応用することを考える。通常は、位置的に水平方向に並んだ3つのサブピクセルRGBを用いて白色を表現しているが、仮想画素法を用いることにより、図30のように「時間的に並んだ」3つのサブピクセルRGBで白色を表現することができる。これにより、白色を表現するために必要な幅を狭くすることが可能となり、解像度は大幅に向上する。なおこの図30では、RGB各色についてそれぞれ1つの発光ブロックを選んでいるが、複数の発光ブロックを各色について選択することも可能である。また、RGBの割合を変化させることにより、全ての色についての応用も可能となる。

【0033】

この仮想画素法を用いて解像度を上げる手法では、放電セルの発光取りだし部分にスリットを設けることで更に効果を増す。これは、スリットを設けることにより実際のパネルから出る光の幅がスリットを設けない場合に比べ細くなるため、仮想画素数をそれだけ増やすことが可能となる。例えば、元の幅を1として、スリット幅を $1/n$ にすれば、理論上仮想画素数は n 倍まで可能となる。

【0034】

なお、スリットは縦、横各々に入れて十文字にすることも可能である。この場合、縦、横各々について仮想画素の増大が可能となる。また、このスリットを設けた場合、放電セルに面している部分に蛍光体を塗布し、輝度を向上する方法も有力である。さらに、スリットを白黒二重構造にし、内部反射を利用して輝度を向上させることも可能である。また、仮想画素の寸法はスリット幅にほぼ等しくすることもできる。

【0035】

ここで、本発明に基づき、各図の説明をまとめておくことにする。

【0036】

図1：表示したい画素Q，R，S，Tに対応する画素Q'，R'，S'，T'を網膜上に形成する。

【0037】

図2：移動方向が左の場合、PDPパネル上画素の発光は、像が移動した際に図の点線のような軌跡を網膜上に残す。網膜上に想定した画素を表現するためには、この軌跡をうまく利用する。たとえば網膜上に想定した画素S'を表現する場合、理想的には図に示すようにS'の幅内にある太線の発光の軌跡を利用する。

【0038】

図3：実際に使用できる発光軌跡は、サブフレーム発光期間に制限されるため、たとえば図29に示す12SFを使用した場合、網膜上の画素S'の表現のために図の太線の発光期間を使用する。

【0039】

図 4 : 網膜上に想定する画素を、パネル上の 1 画素に対応する網膜上の 1 画素より細かく設定する。このようにして設定した画素を仮想画素と呼ぶ。

【 0 0 4 0 】

図 5 : 仮想画素の幅をパネル上の 1 画素に対応する網膜上の 1 画素の半分にした場合。

【 0 0 4 1 】

図 6 : 像の移動方向が左の場合。パネル上の画素 P_n の構成発光ブロックがどの網膜上の画素で使用されるのかを決定する。まず、 P_n の発光の始点から注目する発光ブロックの発光の中心までの時間 t , 位置 dx を計算する。

【 0 0 4 2 】

図 7 : 像の移動方向が左で $a = \text{int}(dx / \text{網膜上の 1 画素幅})$ が 0 の場合、その発光ブロックは網膜上の画素 P_n' で使用する。

【 0 0 4 3 】

図 8 : 像 $a = 1$ の場合、網膜上の画素 P_{n+1}' で使用する。

【 0 0 4 4 】

図 9 : 像 $a = 2$ の場合、網膜上の画素 P_{n+2}' で使用する。

【 0 0 4 5 】

図 1 0 : 移動方向が右の場合、PDP 上画素の発光は、像が移動した際に図の点線のような軌跡を網膜上に残す。網膜上に想定した画素 R' を表現する場合、理想的には図に示すように R' の幅内にある太線の発光の軌跡を利用する。

【 0 0 4 6 】

図 1 1 : 実際に使用できる発光軌跡は、サブフレーム発光期間に制限されるため、たとえば図 2 9 に示す 1 2 S F を使用した場合、網膜上の画素 S' の表現のために図の太線の発光期間を使用する。

【 0 0 4 7 】

図 1 2 : 像の移動方向が右の場合。パネル上の画素 P_n の構成発光ブロックがどの網膜上の画素で使用されるのかを決定する。 P_n の発光の始点から注目する発光ブロックの発光の中心までの時間 t , 位置 dx を計算する。

【 0 0 4 8 】

図 1 3 : 像の移動方向が右で $a = \text{int} (dx / \text{網膜上の 1 画素幅})$ が 0 の場合、その発光ブロックは網膜上の画素 P_{n-1}' で使用する。

【 0 0 4 9 】

図 1 4 : 像 $a = 1$ の場合、網膜上の画素 P_{n-2}' で使用する。

【 0 0 5 0 】

図 1 5 : 像 $a = 2$ の場合、網膜上の画素 P_{n-3}' で使用する。

【 0 0 5 1 】

図 1 6 : 1 2 S F の場合、発光期間の等しい D ブロック (冗長発光ブロック) が 7 つある。網膜上の画素 S' を表現する際、解像度を向上させるため、位置的に左側にあるものから使う。像の移動方向が左の場合には、D ブロックの使用する順序を図のようする。

【 0 0 5 2 】

図 1 7 : 移動方向が右の場合は図に示すように左側から順に選ぶ。

【 0 0 5 3 】

図 1 8 : 移動速度により複数の冗長発光ブロックの位置が一致する場合で、移動方向が左の場合は図のように時間的に早いほうから順に使用する。

【 0 0 5 4 】

図 1 9 : 移動速度により複数の冗長発光ブロックの位置が一致する場合で、移動方向が右であれば図のように時間的に早いほうから順に使用する。

【 0 0 5 5 】

図 2 0 : パネル上の 1 画素に対応する網膜上の 1 画素幅内に仮想画素を二つ形成する場合。仮想画素 $S 1'$ を形成するために使用する理想的な発光の軌跡は図中太線になる。

【 0 0 5 6 】

図 2 1 : 図 2 4 (c) に示す 2 4 S F を使用した場合に仮想画素 $S 1'$, $S 2'$ を形成するために使用する発光の軌跡。

【 0 0 5 7 】

図 2 2 : 移動方向が右の場合に、仮想画素 $S 1'$ を形成するために使用する理想的な発光の軌跡。

【 0 0 5 8 】

図 2 3 : 移動方向が右の場合に、仮想画素 S 1 ' , S 2 ' を形成するために使用する発光の軌跡。

【 0 0 5 9 】

図 2 4 : 仮想画素法で使用するサブフレーム配列。 0 . 5 F を中心に左右対称とすることに特徴がある。

【 0 0 6 0 】

図 2 5 : 移動方向が左の場合で仮想画素 1 (添え字が 1 の仮想画素の意味) の、冗長発光ブロック選択方法。

【 0 0 6 1 】

図 2 6 : 移動方向が左の場合で仮想画素 2 (添え字が 2 の仮想画素の意味) の、冗長発光ブロック選択方法。

【 0 0 6 2 】

図 2 7 : 移動方向が右の場合で仮想画素 1 の、冗長発光ブロック選択方法。

【 0 0 6 3 】

図 2 8 : 移動方向が右の場合で仮想画素 2 の、冗長発光ブロック選択方法。

【 0 0 6 4 】

図 2 9 : 1 2 S F (サブフレーム) 配列

図 3 0 : 通常は位置的に水平方向に 3 つ並んだ R G B で白色を表現するが、仮想画素法を用いることにより、図のように時間的に 3 つ並んだ R G B で白色を表現する。これにより解像度は大幅に向上する。

【 0 0 6 5 】

図 3 1 : 本発明によるプラズマディスプレイの構造 (断面図) 。

【 0 0 6 6 】

図 3 2 : 本発明によるプラズマディスプレイの構造 (前面図) 。水平方向に走るスリットが設けられている。

【 0 0 6 7 】

図 3 3 : 本発明によるプラズマディスプレイの構造 (前面図) 。垂直方向に走るスリットが設けられている。

【0068】

図34：本発明によるプラズマディスプレイの構造（前面図）。水平・垂直両方向に走る十文字型スリットが設けられている

以上説明した実施の形態に基づき、本発明は以下のようにまとめられる。

（付記1）

画像を構成する1フレーム期間を複数のサブフレームに分割し、前記サブフレームにおいて表示装置を構成する画素の発光を制御する手段を具備し、且つ表示画面上を任意の速度で移動する画像を表示する表示装置の駆動方法において、網膜に結像される特定の網膜上画素を想定し、該網膜上画素の輝度を入力画像の輝度と概略等しくするよう、前記各サブフレームにおける発光を制御することを特徴とする表示装置の駆動方法。

（付記2）

付記1において、上記網膜上画素の発光色を入力画像の発光色と概略等しくするよう、前記サブフレームにおける発光を制御することを特徴とする表示装置の駆動方法。

（付記3）

付記1及至2において、前記画素の発光が網膜上に与える軌跡を、対応する前期網膜上画素の幅の内に概略収めるように前記各サブフレームにおける発光を制御することを特徴とする表示装置の駆動方法。

（付記4）

付記1及至3において、前記網膜上画素のピッチを、前記表示装置を構成する画素のピッチより細かく選ぶことを特徴とする表示装置の駆動方法。

（付記5）

付記4において、前記網膜上画素のピッチを、前記表示装置を構成する画素のピッチの $1/2$ に選ぶことを特徴とする表示装置の駆動方法。

（付記6）

付記5において、前記網膜上画素それぞれに対する階調が、1フレーム期間当たり n 個のサブフレーム1セットで表現される場合、前記表示装置を構成する画素に対して1フレーム期間当たり前記 n 個のサブフ

ームを2セット設けることを特徴とする表示装置の駆動方法。

(付記7)

付記6において、前記表示装置を構成する画素に対して、1 フレーム期間内前半及び後半それぞれに前記n個のサブフレーム2セットの各々1セットを配置することを特徴とする表示装置の駆動方法。

(付記8)

付記1 及至7において、前記発光の制御を行うサブフレームの選択に冗長性がある場合、網膜上の片側端部位置により近く結像されるサブフレームを優先的に選択して該制御を行うことを特徴とする表示装置の駆動方法。

(付記9)

付記8において、時間的に早く発光し得るサブフレームを優先的に選択して該制御を行うことを特徴とする表示装置の駆動方法。

(付記10)

付記1 及至9において、放電セルの発光取り出し部分にスリットを設け、実効的発光取り出し部分の面積を制限することを特徴とする表示装置。

(付記11)

付記10において、前記スリットを縦長、あるいは横長、あるいは縦長と横長を組み合わせた十文字型とすることを特徴とする表示装置。

(付記12)

付記10 及至11において、前記スリットを形成するため、前面基板に遮光性誘電体を設け、該遮光性誘電体の観測者側を黒色とし、かつ該遮光性誘電体の観測者と反対側を白色とすることを特徴とする表示装置。

(付記13)

付記12において、前記遮光性誘電体の内壁面に紫外線励起蛍光体を塗布することを特徴とする発光表示装置。

【0069】

【発明の効果】

本発明によれば、仮想画素方式 (Virtual pixel technique) を用いることにより、動画偽輪郭を低減し、高解像度表示を得ることができる。また、明室コン

トラストが向上する。更に、蛍光体塗布面積の増大により、輝度及び発光効率を向上させることができる。

【図面の簡単な説明】

【図 1】

表示したい画素とそれに対応して網膜上に想定した画素。（静止画の場合）

【図 2】

網膜上に想定した画素 S' の表現のために使用するパネル上の画素の発光の軌跡。（理想的な場合）

【図 3】

網膜上に想定した画素 S' の表現のために使用するパネル上の画素の発光の軌跡。（発光ブロックを考慮した場合）

【図 4】

パネル上の画素とそれより細かく網膜上に想定した画素。（仮想画素）

【図 5】

パネル上の画素とそれを $1/2$ 分割して網膜上に想定した画素。（仮想画素）

【図 6】

パネル上の画素 P_n における注目発光ブロックの発光の軌跡の中心までの時間と距離。

【図 7】

$a = 0$ の場合。

【図 8】

$a = 1$ の場合。

【図 9】

$a = 2$ の場合。

【図 10】

網膜上に想定した画素 S' の表現のために使用するパネル上の画素の発光の軌跡。（理想的な場合）

【図 11】

網膜上に想定した画素 S' の表現のために使用するパネル上の画素の発光の軌

跡。(発光ブロックを考慮した場合)

【図 1 2】

パネル上の画素 P_n における注目発光ブロックの発光の軌跡の中心までの時間と距離。

【図 1 3】

$a = 0$ の場合。

【図 1 4】

$a = 1$ の場合。

【図 1 5】

$a = 2$ の場合。

【図 1 6】

冗長発光ブロックの選択順序。(移動方向左)

【図 1 7】

冗長発光ブロックの選択順序。(移動方向右)

【図 1 8】

網膜上の位置が等しい冗長発光ブロックの選択順序。(移動方向左)

【図 1 9】

網膜上の位置が等しい冗長発光ブロックの選択順序。(移動方向右)

【図 2 0】

仮想画素 S_1' の表現のために使用するパネル上の画素の発光の軌跡。(理想的な場合)

【図 2 1】

仮想画素 S_1' および S_2' の表現のために使用するパネル上の画素の発光の軌跡。(発光ブロックを考慮した場合)

【図 2 2】

仮想画素 S_1' の表現のために使用するパネル上の画素の発光の軌跡。(理想的な場合)

【図 2 3】

仮想画素 S_1' および S_2' の表現のために使用するパネル上の画素の発光の軌跡

。(発光ブロックを考慮した場合)

【図 2 4】

仮想画素法で用いるサブフレーム配列。

【図 2 5】

仮想画素 S_1' における冗長発光ブロックの選択順序。(移動方向左)

【図 2 6】

仮想画素 S_2' における冗長発光ブロックの選択順序。(移動方向左)

【図 2 7】

仮想画素 S_1' における冗長発光ブロックの選択順序。(移動方向右)

【図 2 8】

仮想画素 S_2' における冗長発光ブロックの選択順序。(移動方向右)

【図 2 9】

1 2 S F のサブフレーム配列。

【図 3 0】

規則的に 3 つ並んだ RGB による白色表現。

【図 3 1】

プラズマディスプレイの構造。

【図 3 2】

縦方向にスリットを設けた場合。

【図 3 3】

横方向にスリットを設けた場合。

【図 3 4】

十文字型にスリットを設けた場合。

【図 3 5】

移動速度とコントラストの関係。

【図 3 6】

移動速度とサブフレーム数の関係

【図 3 7】

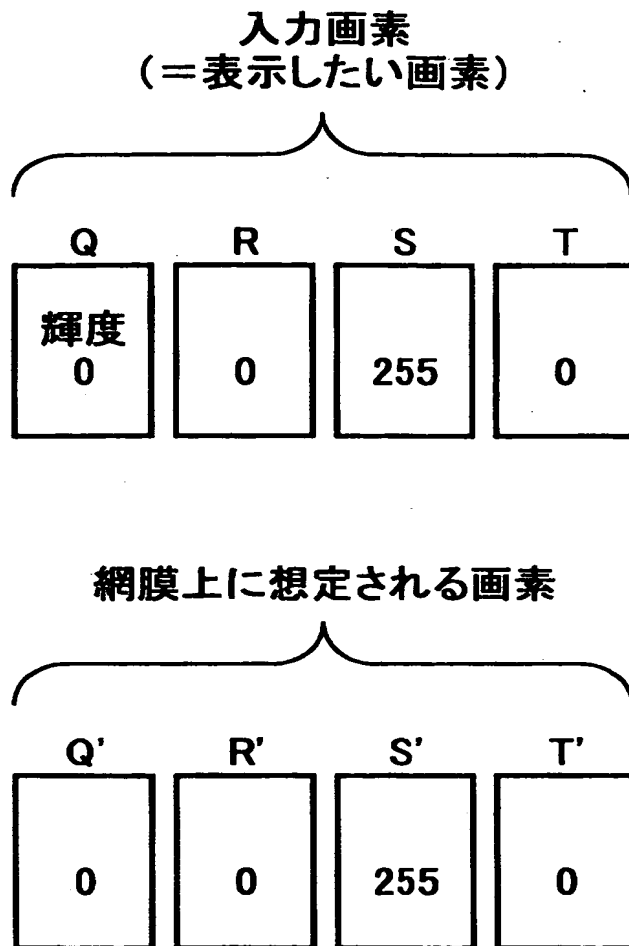
解像度の向上を示すシミュレーション結果

【図 3 8】

補間法を併用した場合のシミュレーション結果

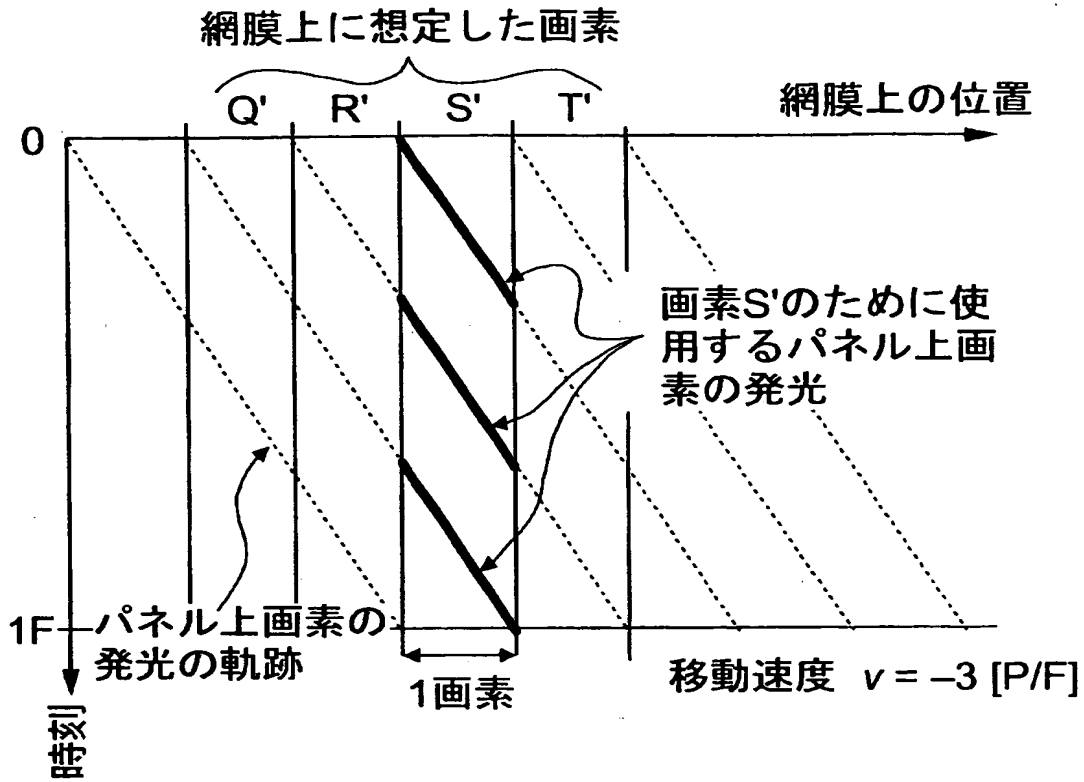
【書類名】 図面

【図 1】



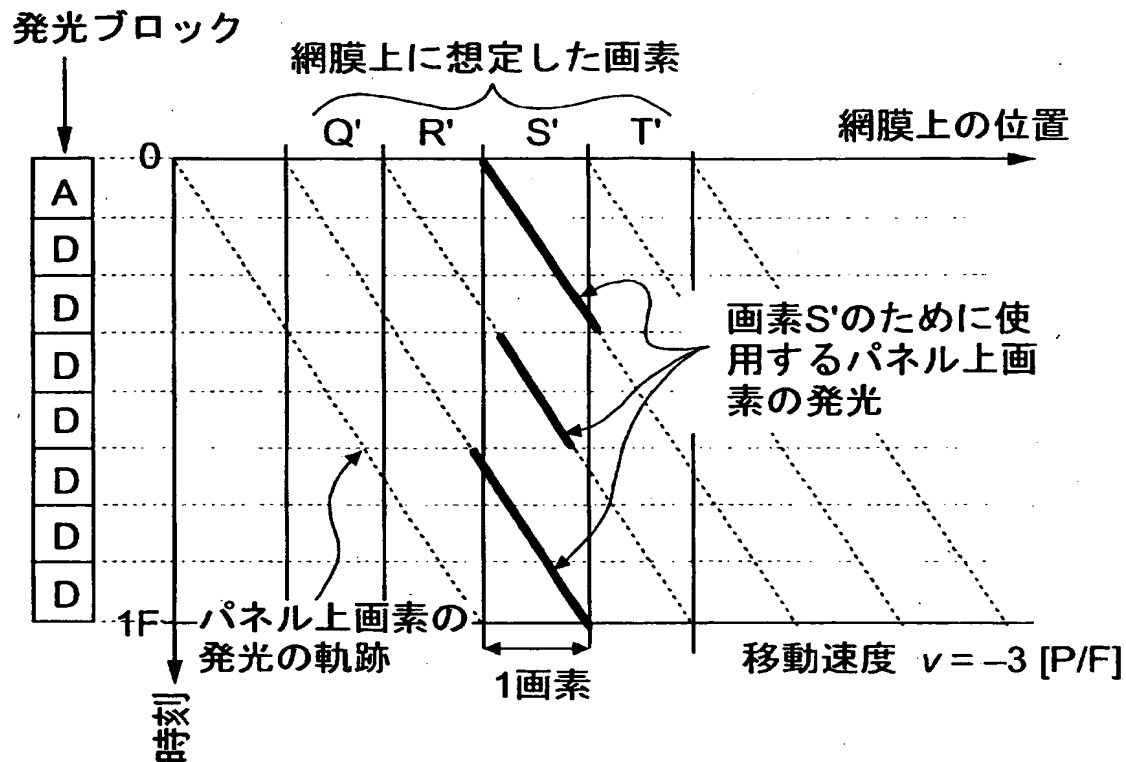
表示したい画素とそれに対応して網膜上に想定した画素
(静止画の場合)

【図2】



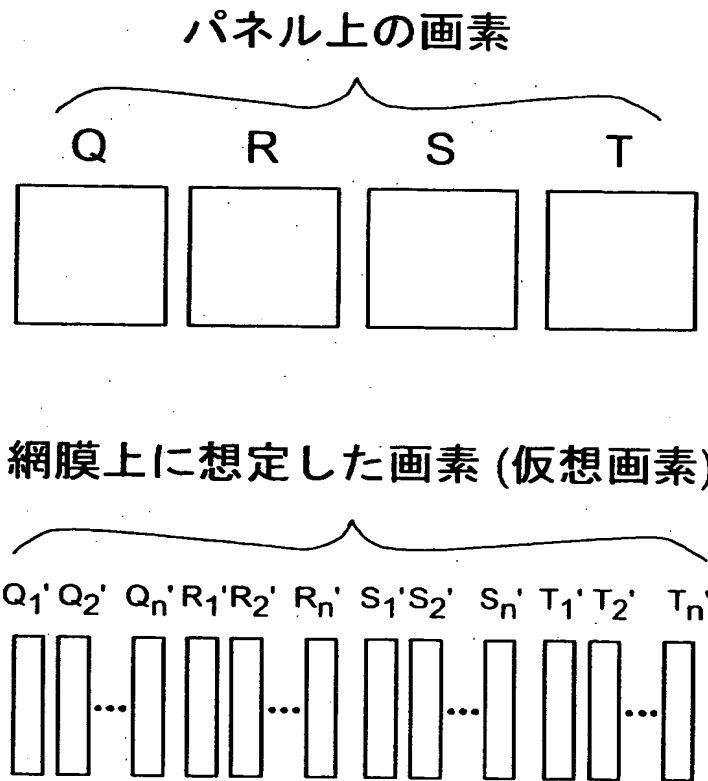
網膜上に想定した画素S'の表現のために使用する
パネル上の画素の発光の軌跡（理想的な場合）

【図 3】



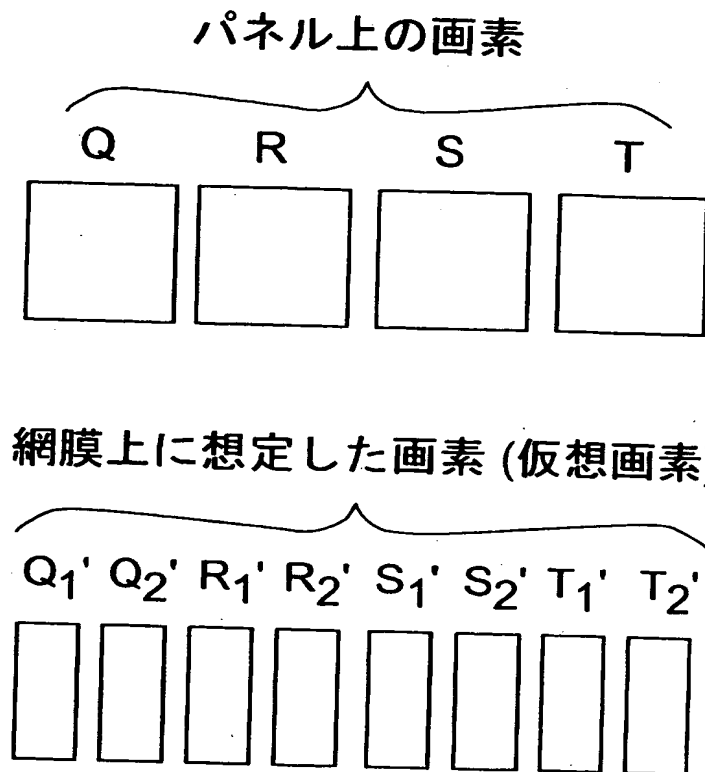
網膜上に想定した画素S'の表現のために使用する
パネル上の画素の発光の軌跡（発光ブロックを考
慮した場合）

【図4】



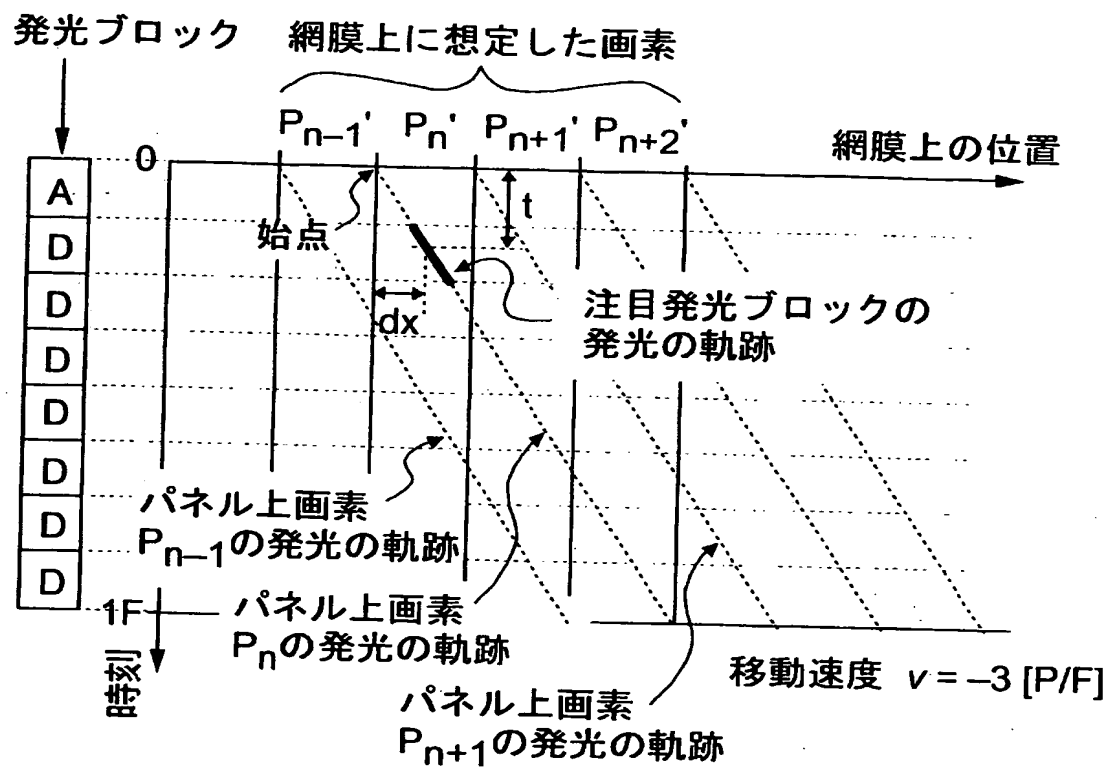
パネル上の画素とそれより細かく網膜上に想定した画素 (仮想画素)

【図5】



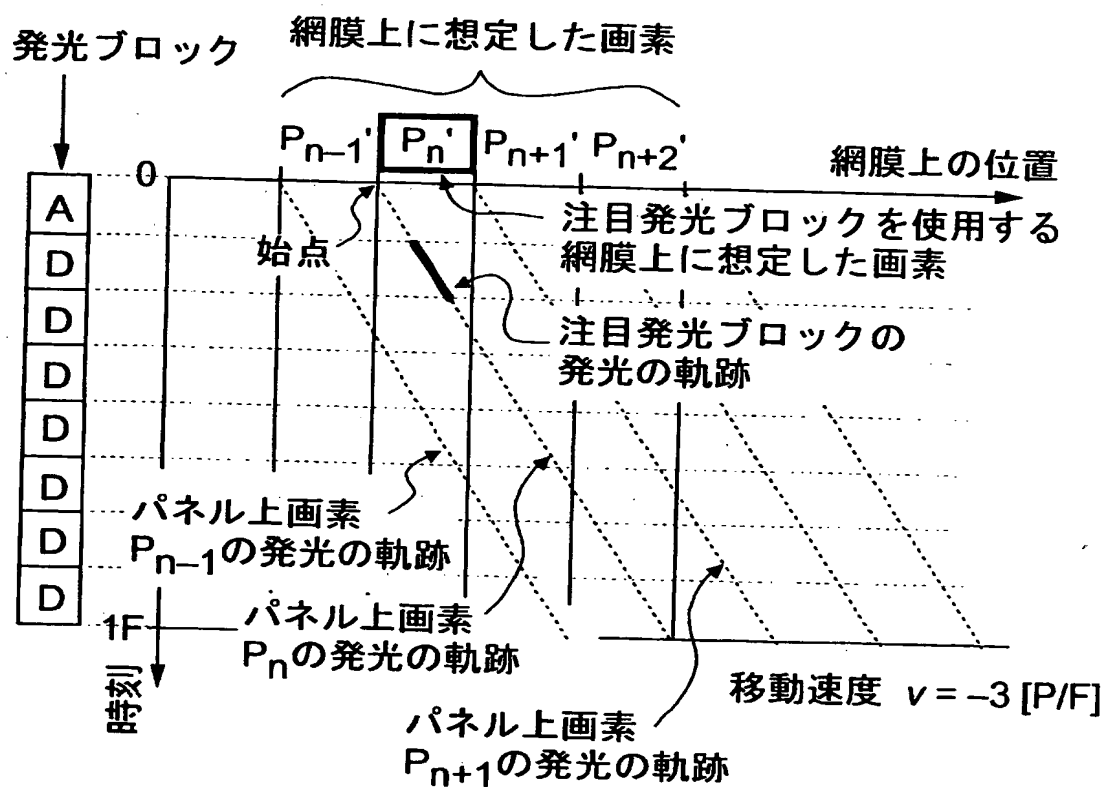
パネル上の画素とそれを1/2分割して網膜上に想定した画素 (仮想画素)

【図 6】



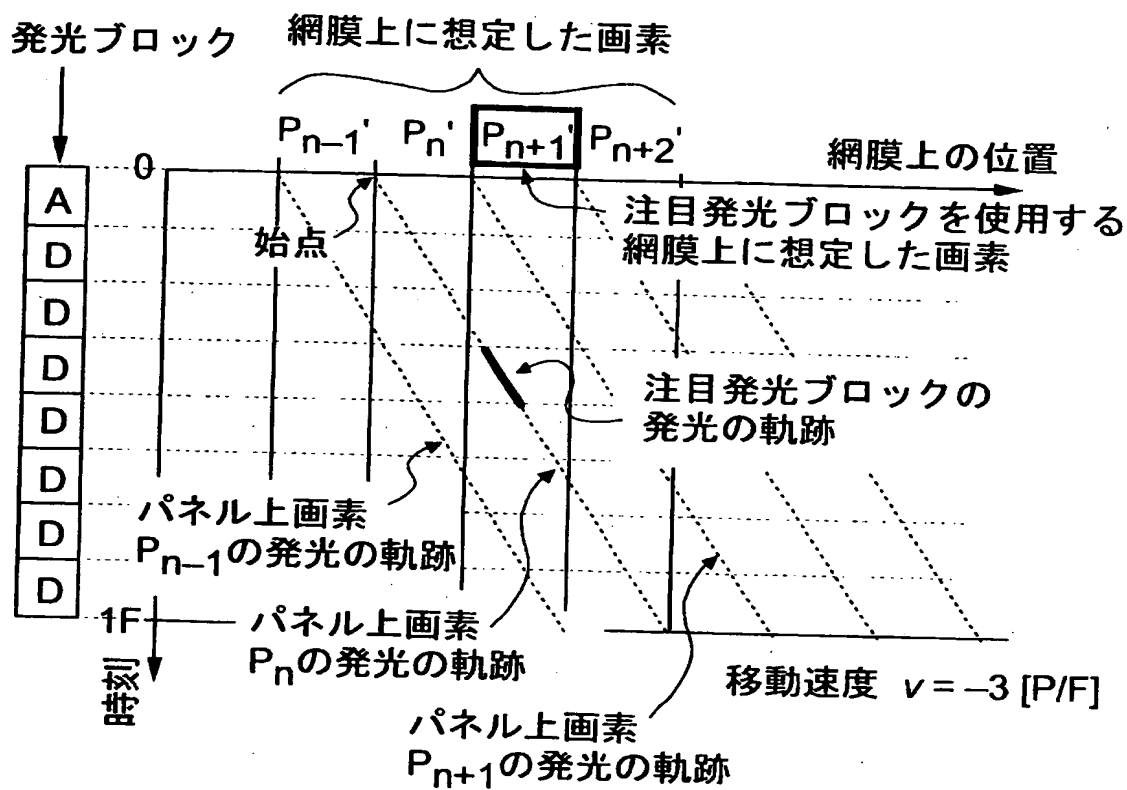
パネル上の画素 P_n における注目発光ブロックの発光の軌跡の中心までの時間と距離

【図 7】



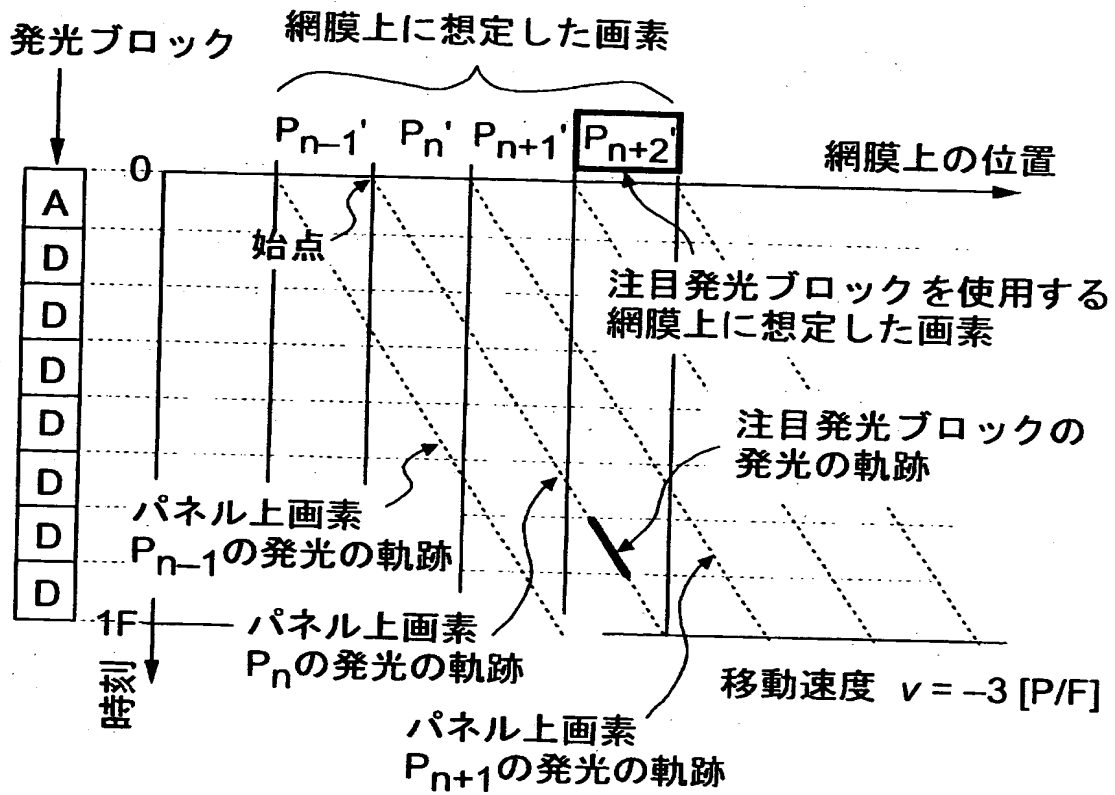
$a=0$ の場合

【图 8】



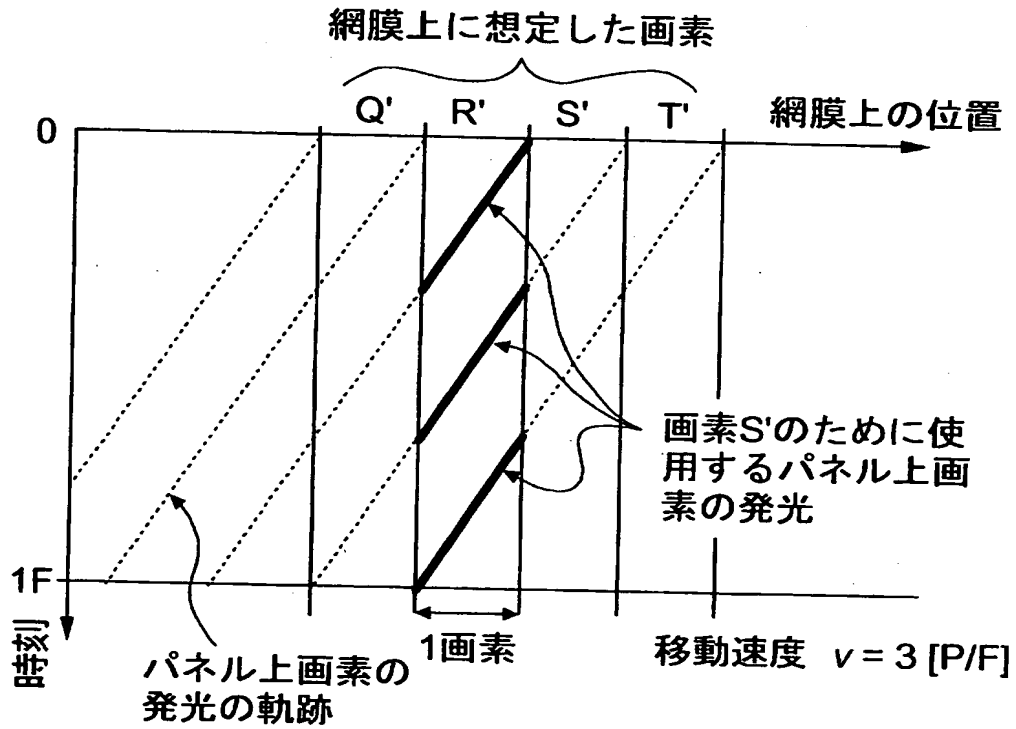
a=1の場合

【図9】



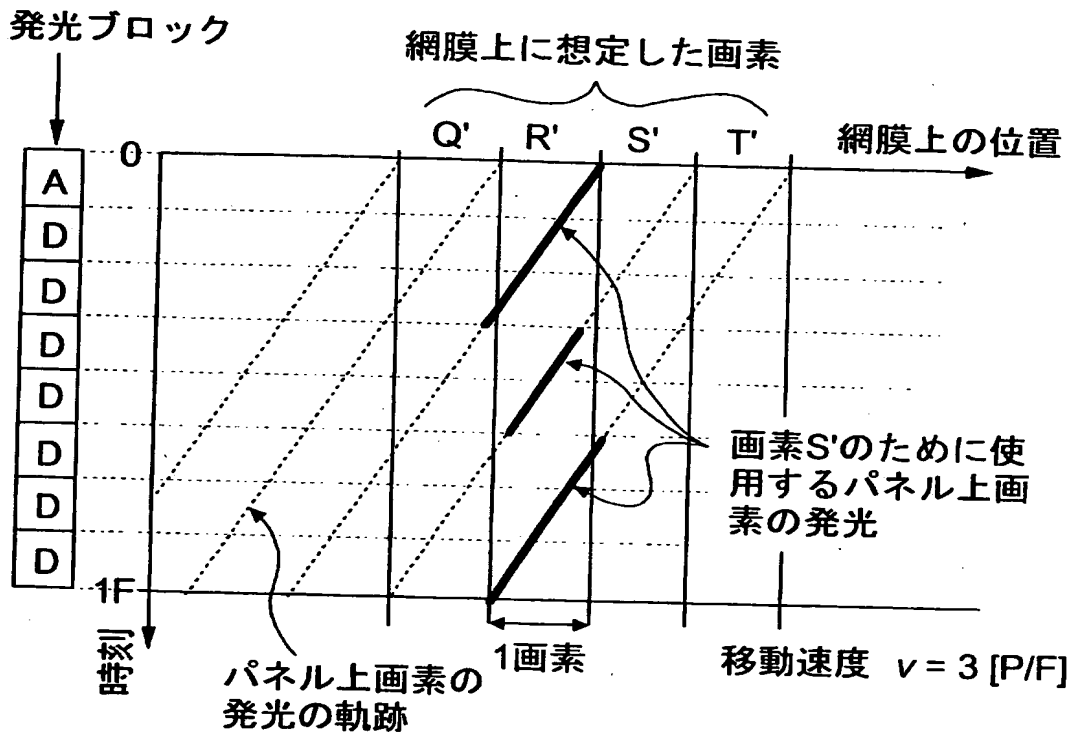
a=2の場合

【図10】



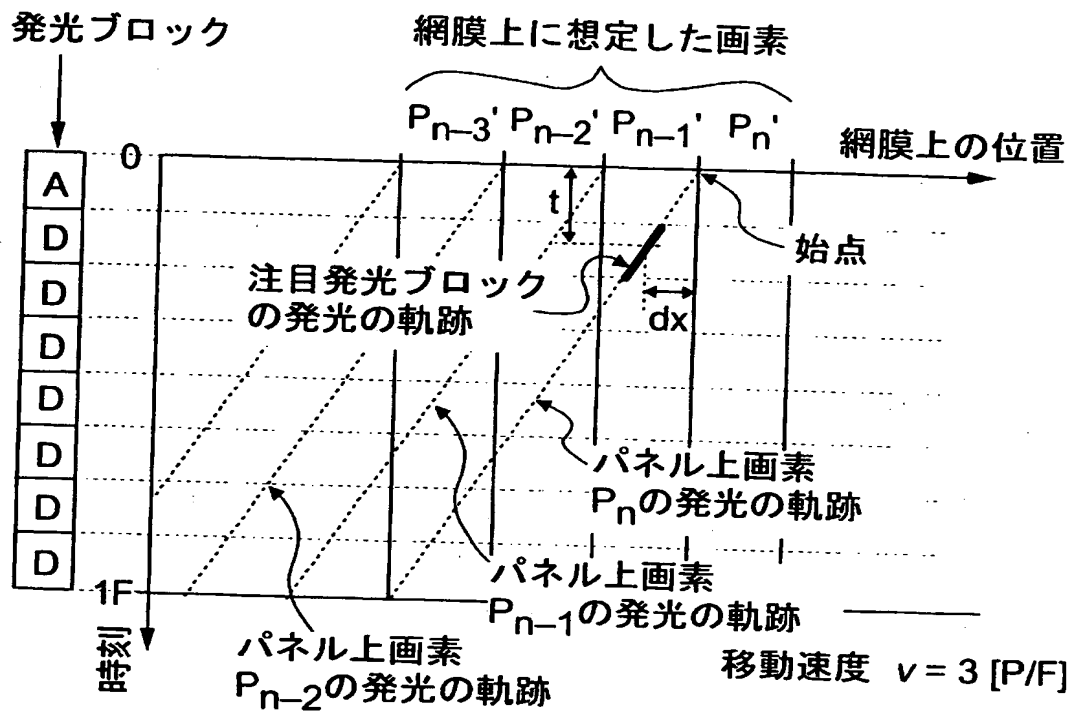
網膜上に想定した画素S'の表現のために使用する
パネル上の画素の発光の軌跡（理想的な場合）

【図11】



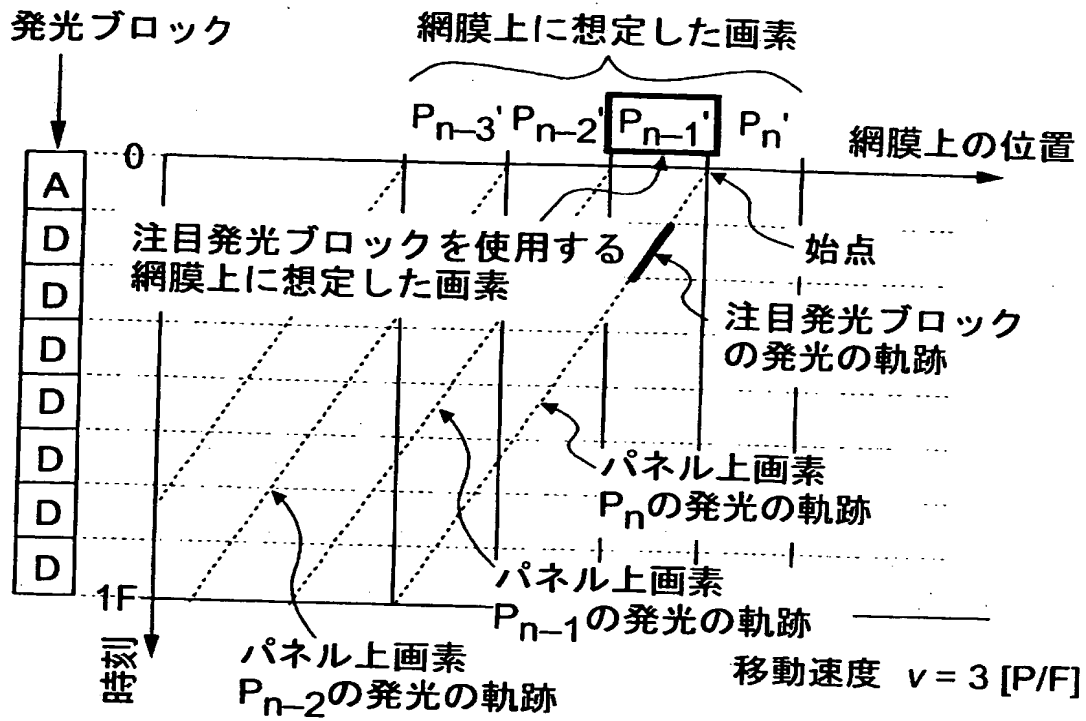
網膜上に想定した画素S'の表現のために使用する
パネル上の画素の発光の軌跡（発光ブロックを考
慮した場合）

【図 12】



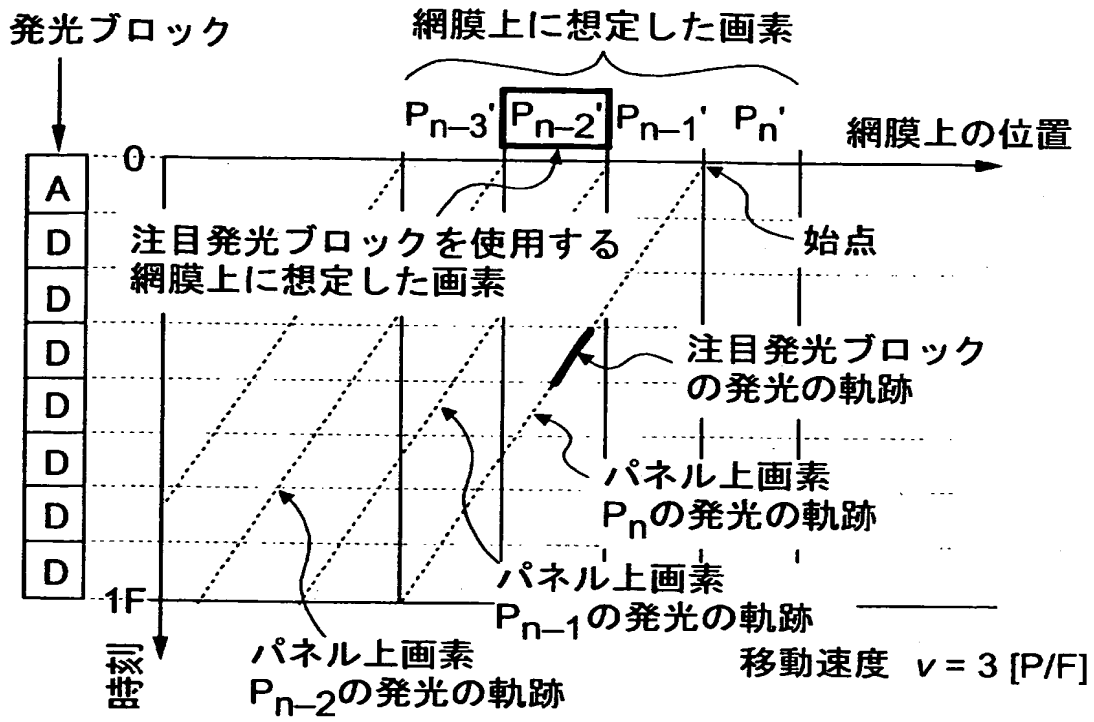
パネル上の画素 P_n における注目発光ブロックの発光の軌跡の中心までの時間と距離

【図13】



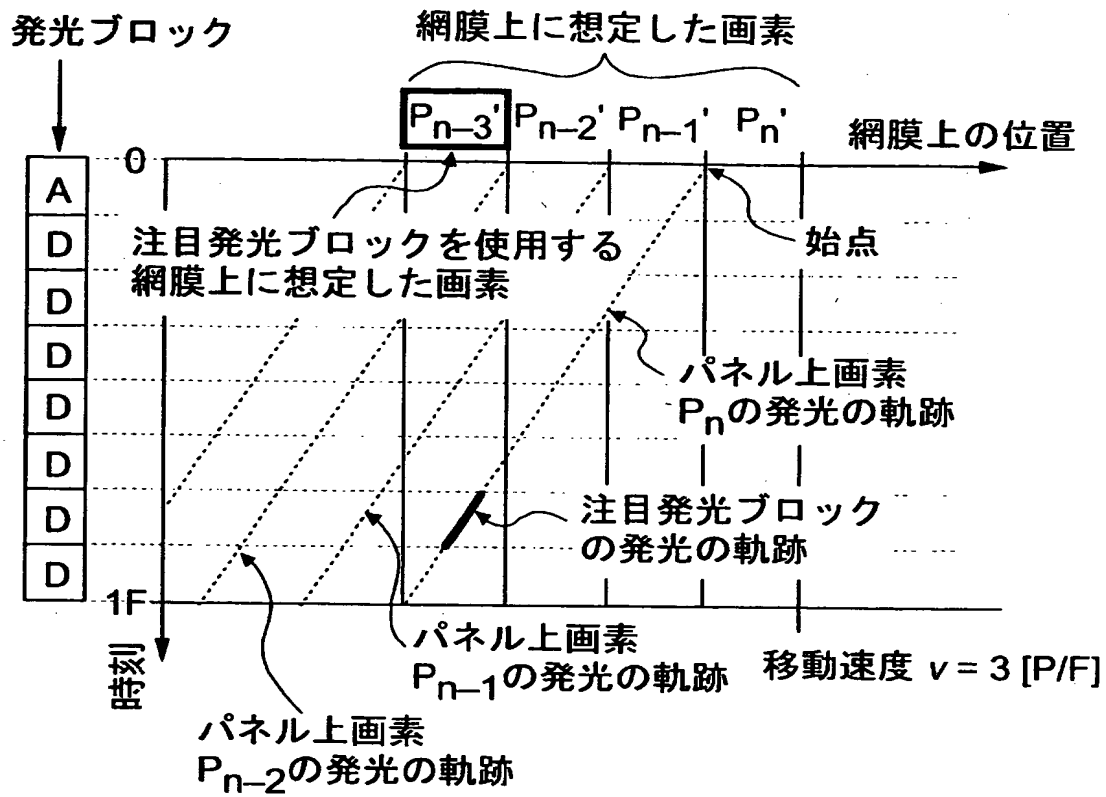
a=0の場合

【図 1 4】



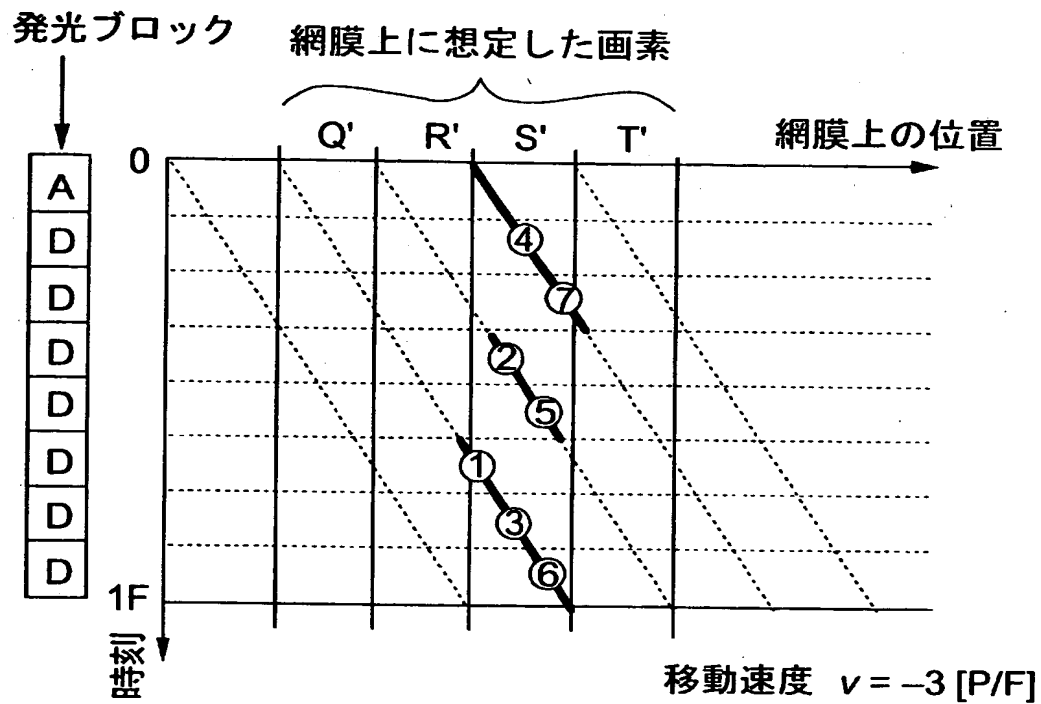
a=1の場合

【図15】



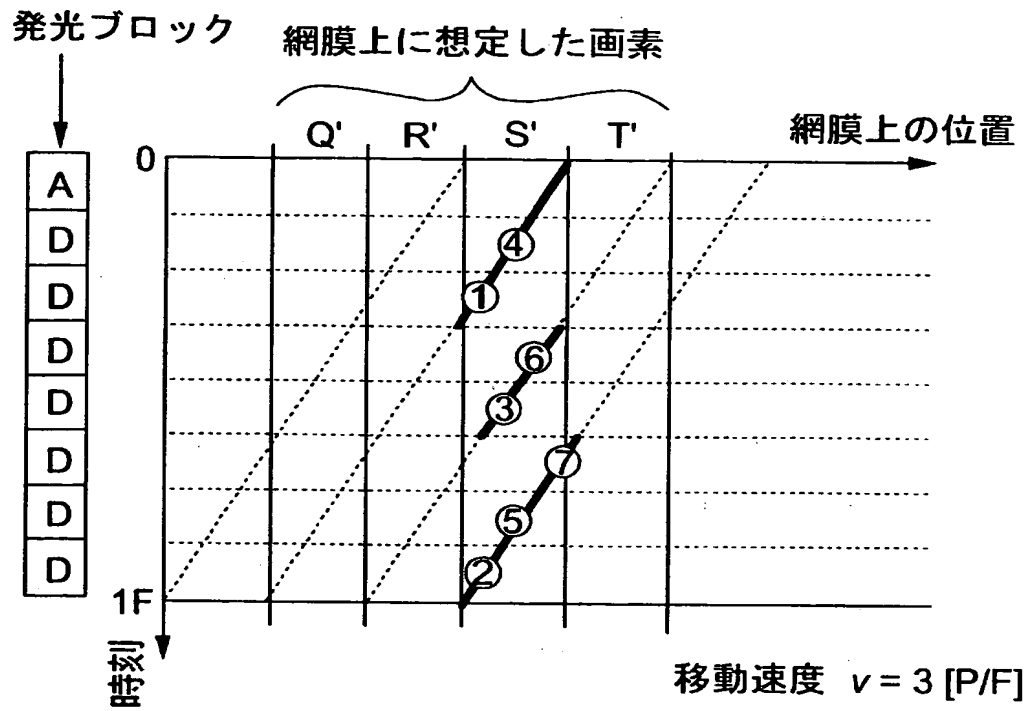
$a=2$ の場合

【図16】



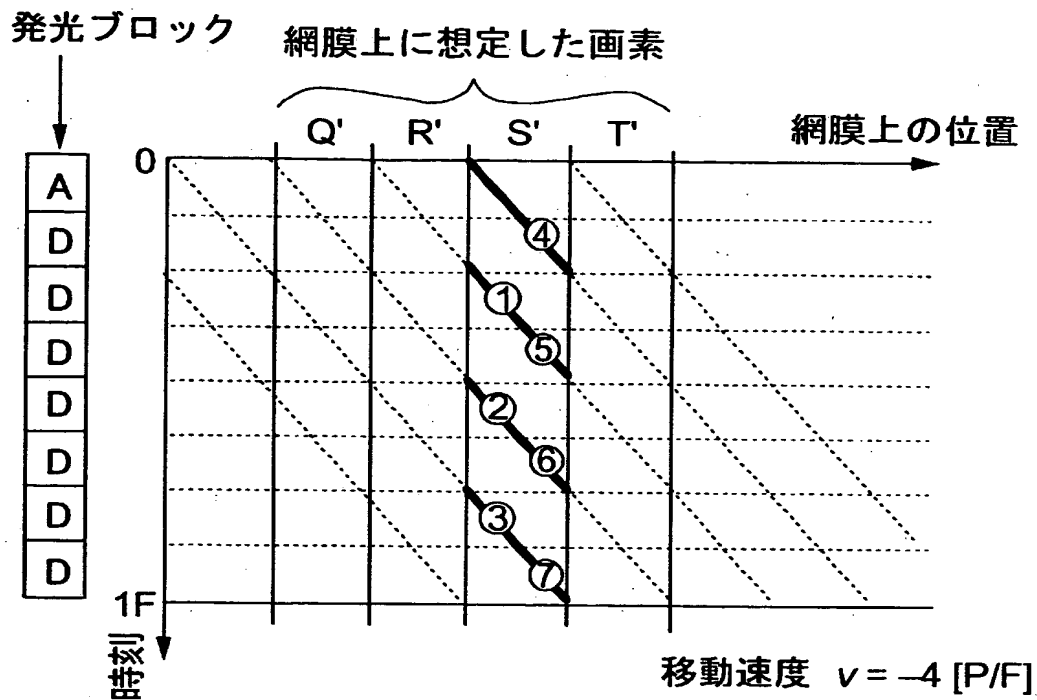
冗長発光ブロックの選択順序 (移動方向左)

【図 1 7】



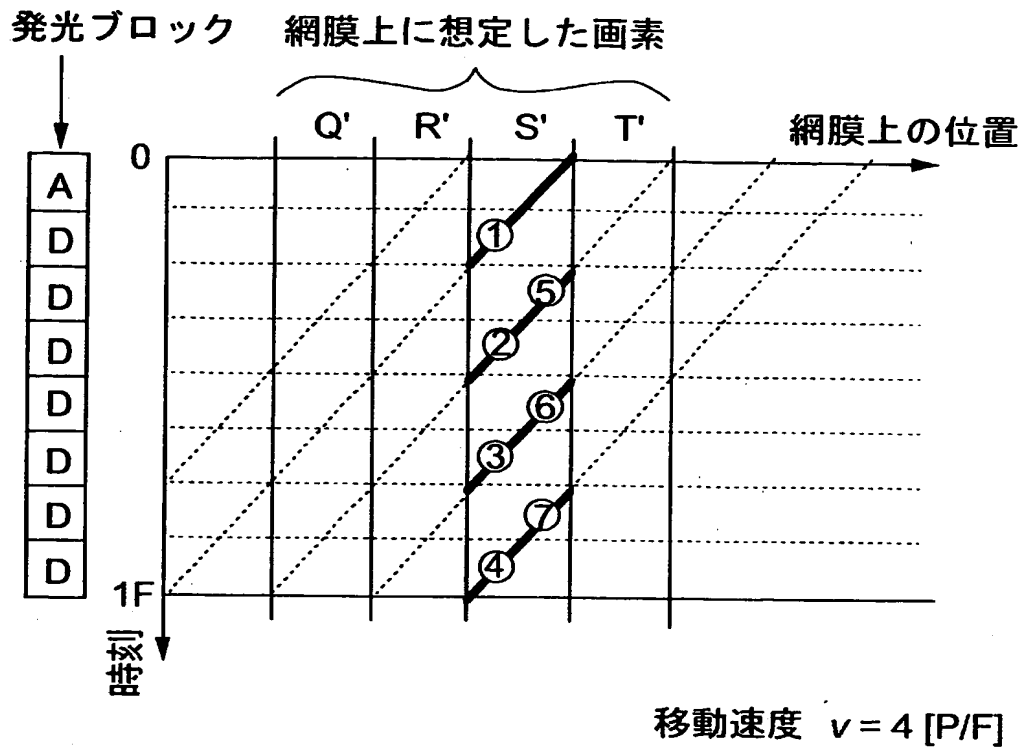
冗長発光ブロックの選択順序 (移動方向右)

【図18】



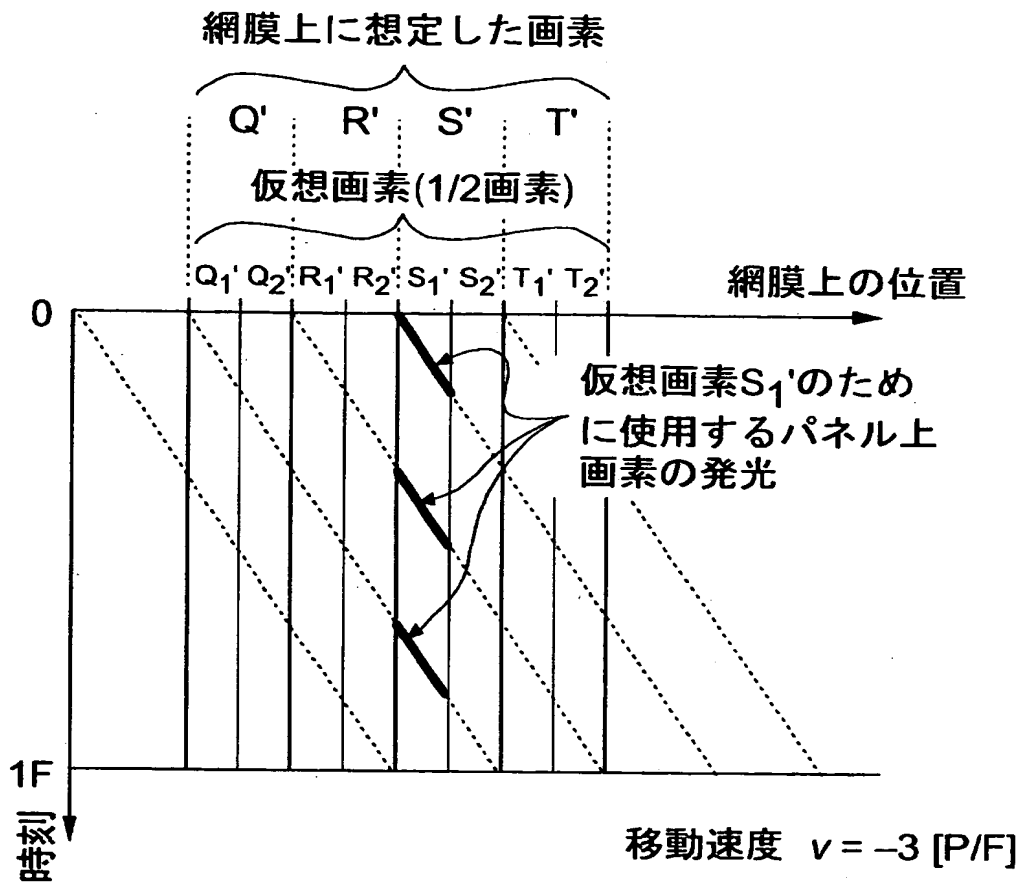
網膜上の位置が等しい冗長発光ブロックの
選択順序(移動方向左)

【図 1 9】



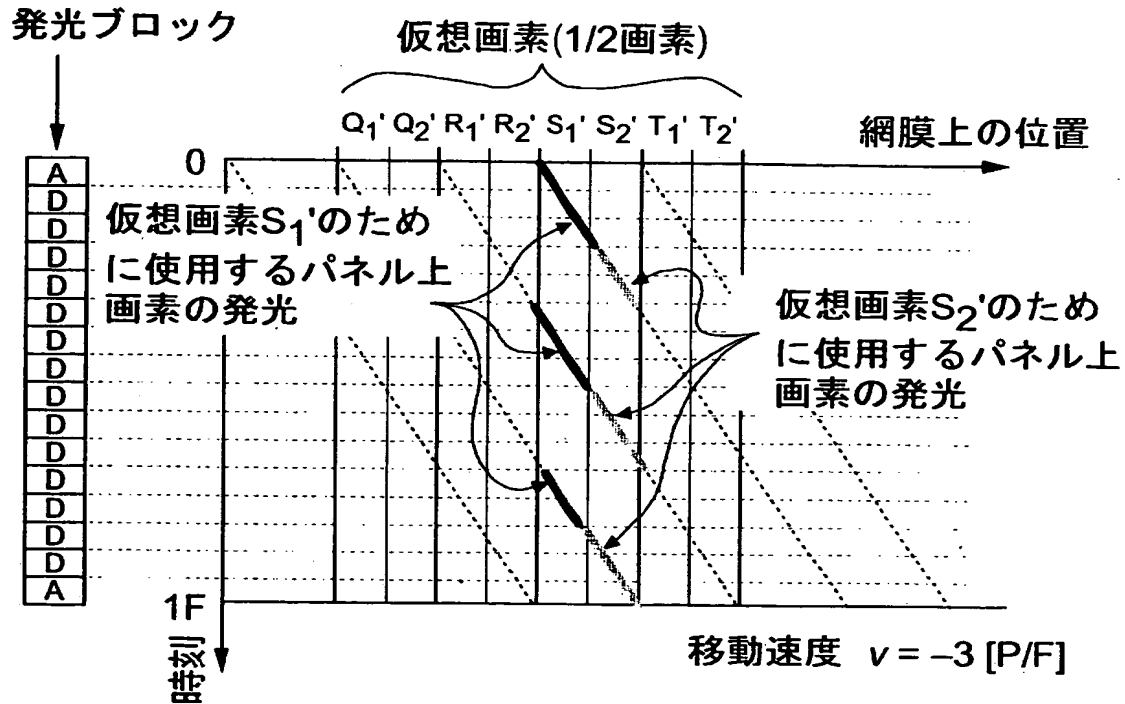
網膜上の位置が等しい冗長発光ブロックの
選択順序(移動方向右)

【図20】



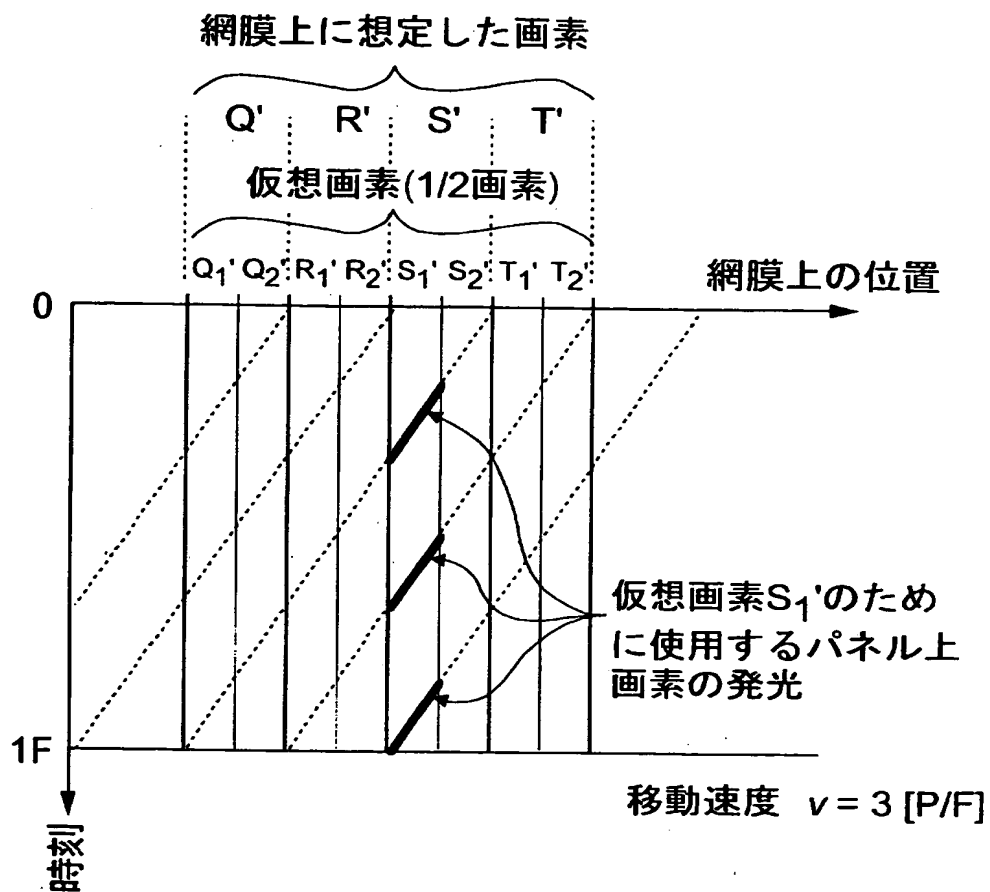
仮想画素 S_1' の表現のために使用する
パネル上の画素の発光の軌跡 (理想的な場合)

【図 21】



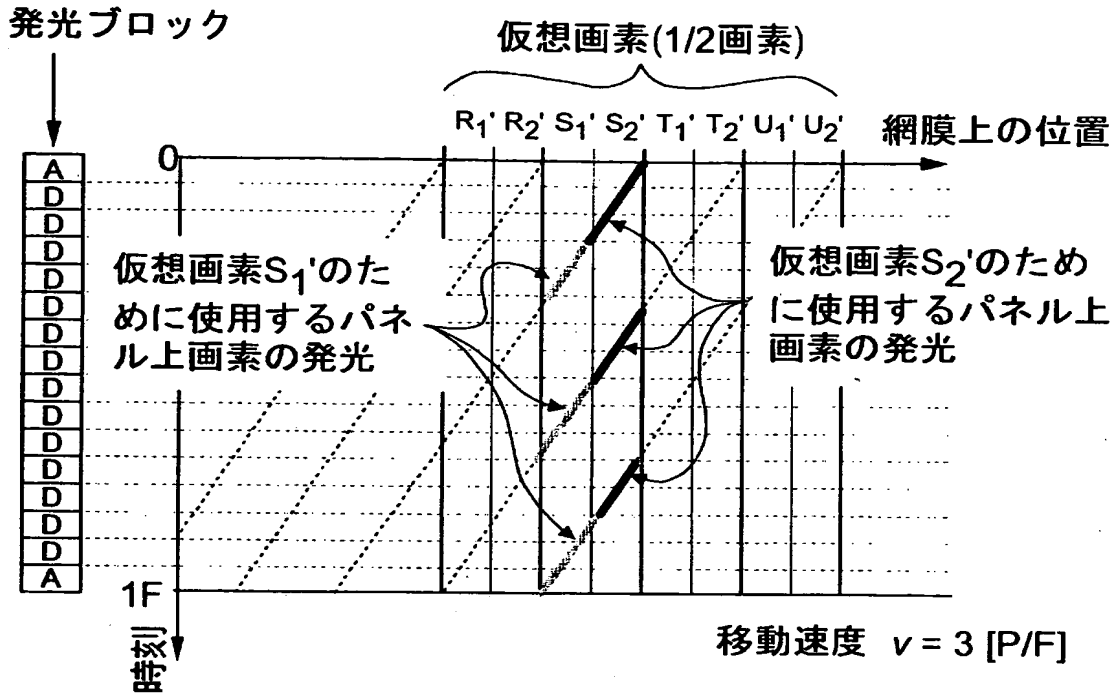
仮想画素S₁'およびS₂'の表現のために使用する
パネル上の画素の発光の軌跡 (発光ブロックを考慮
した場合)

【図 2 2】



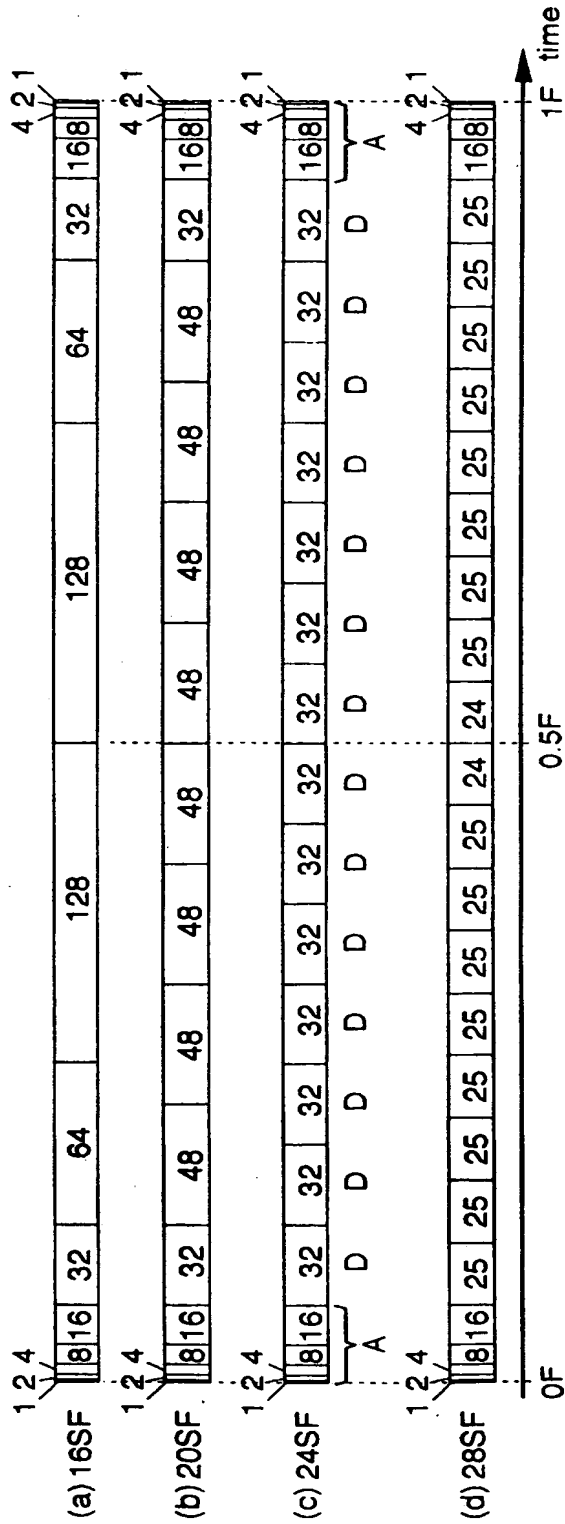
仮想画素 S_1' の表現のために使用する
パネル上の画素の発光の軌跡 (理想的な場合)

【図 23】

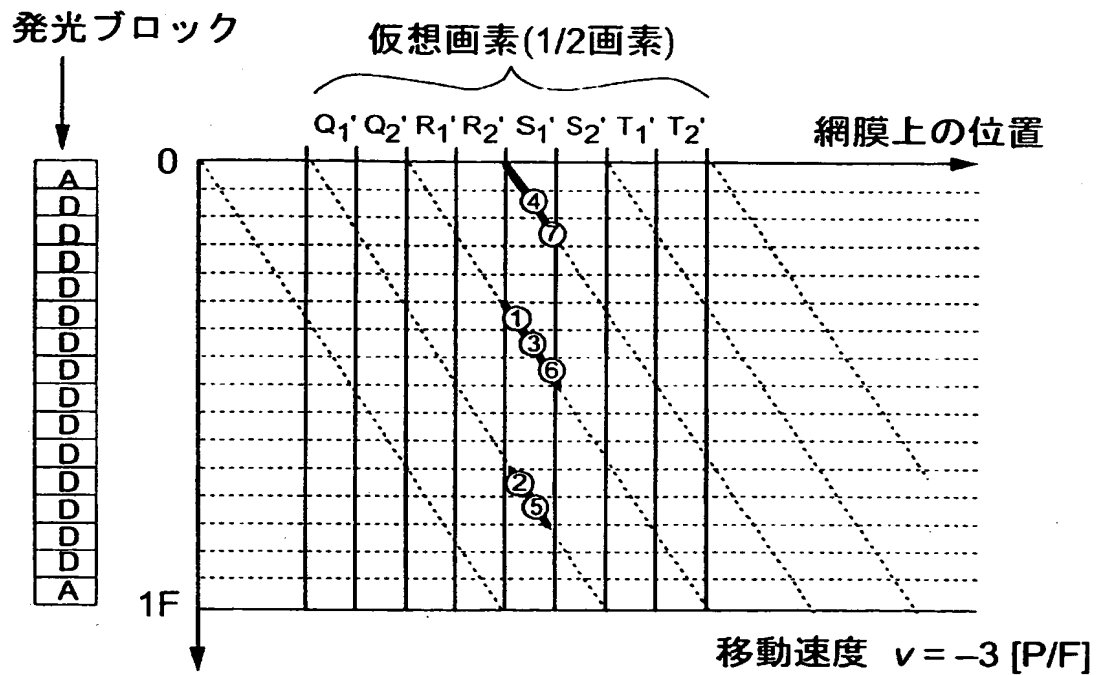


仮想画素S₁'およびS₂'の表現のために使用する
パネル上の画素の発光の軌跡 (発光ブロックを考慮
した場合)

【図 24】

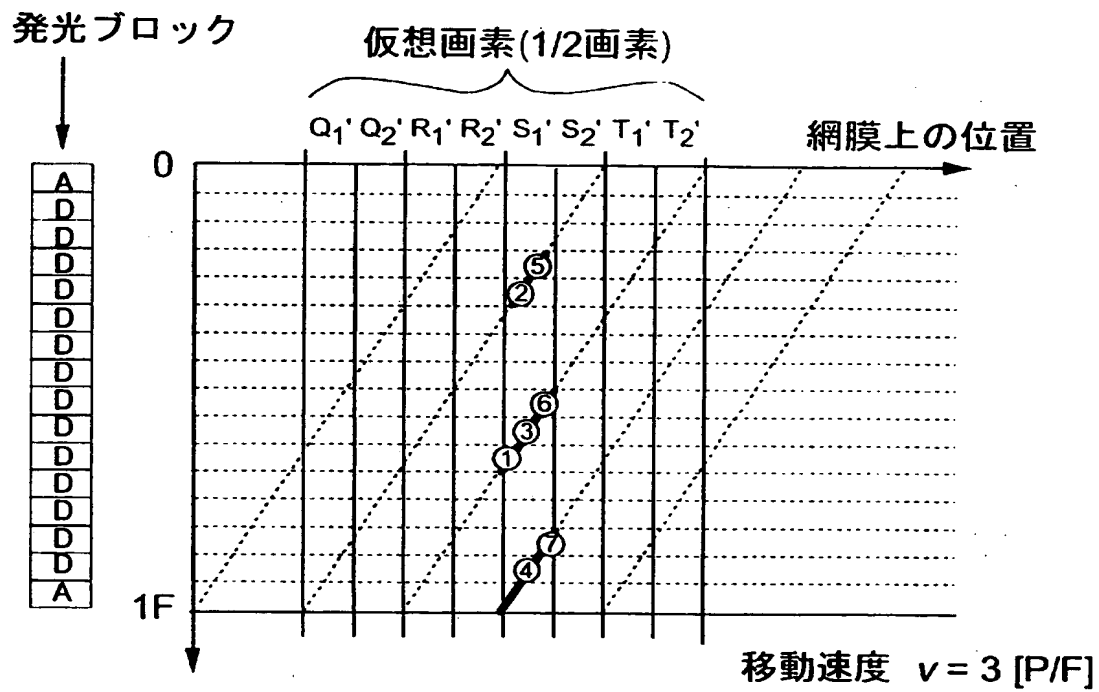


【図 2 5】



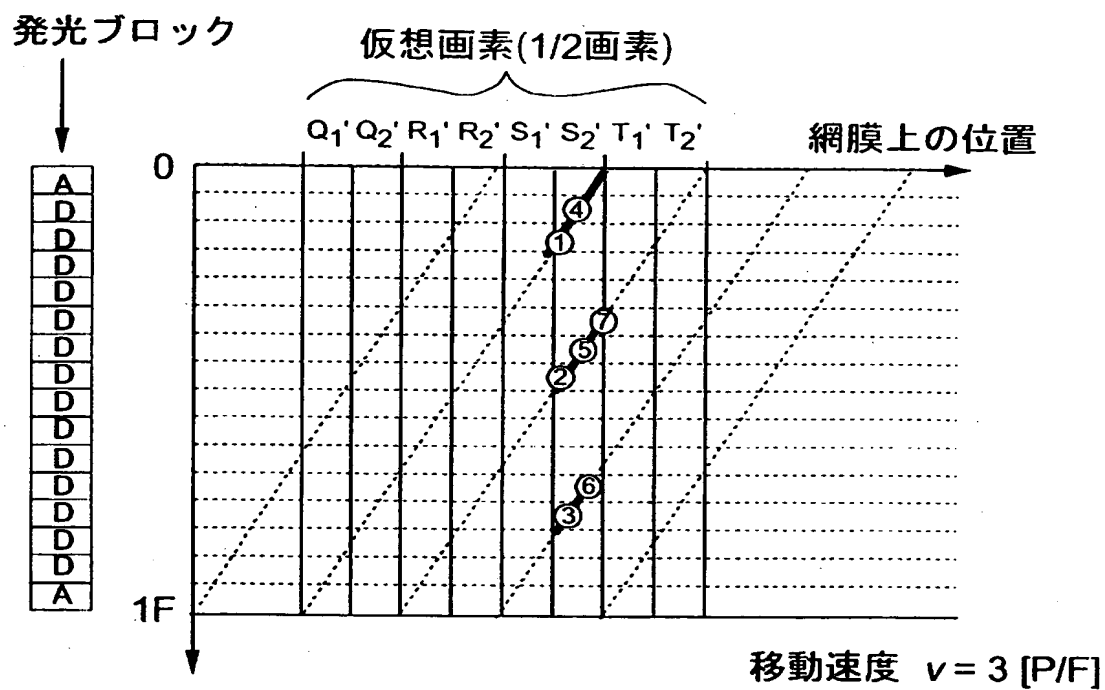
仮想画素 S₁' における冗長発光ブロックの選
択順序（移動方向左）

【図 2 7】



仮想画素 S_1' における冗長発光ブロックの選
択順序 (移動方向右)

【図 2 8】

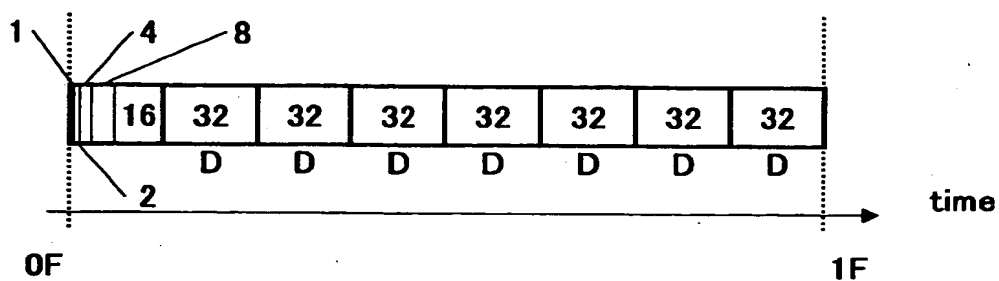


仮想画素 S_2' における冗長発光ブロックの選
択順序 (移動方向右)

【図 2 9】

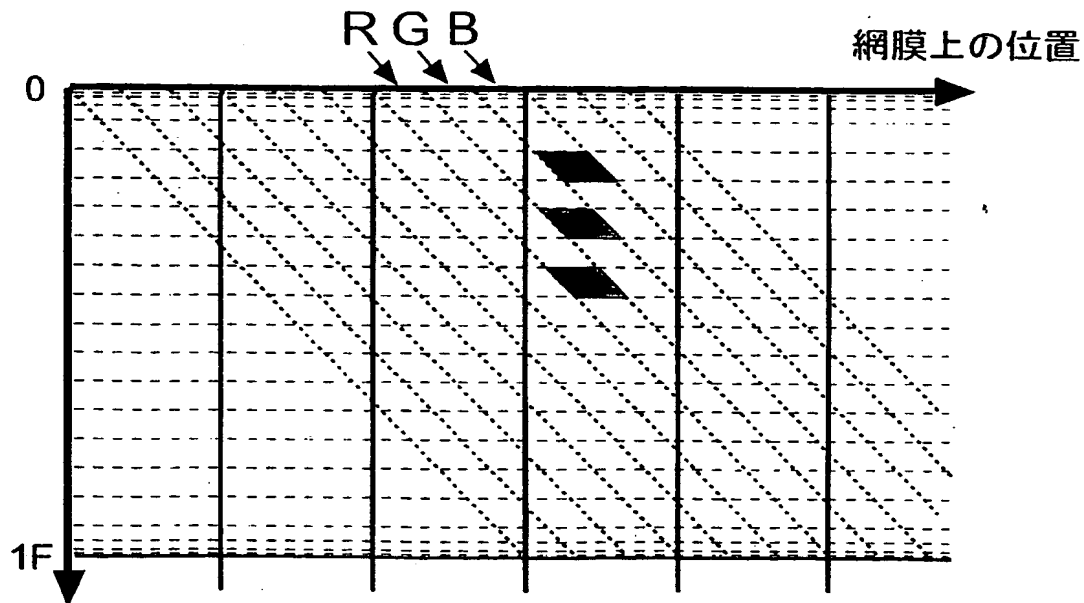
A : 非冗長性発光ブロック
D : 冗長性がある発光ブロック

※冗長性がある = 1F内で発光期間が同じ別の発光ブロックが存在すること。



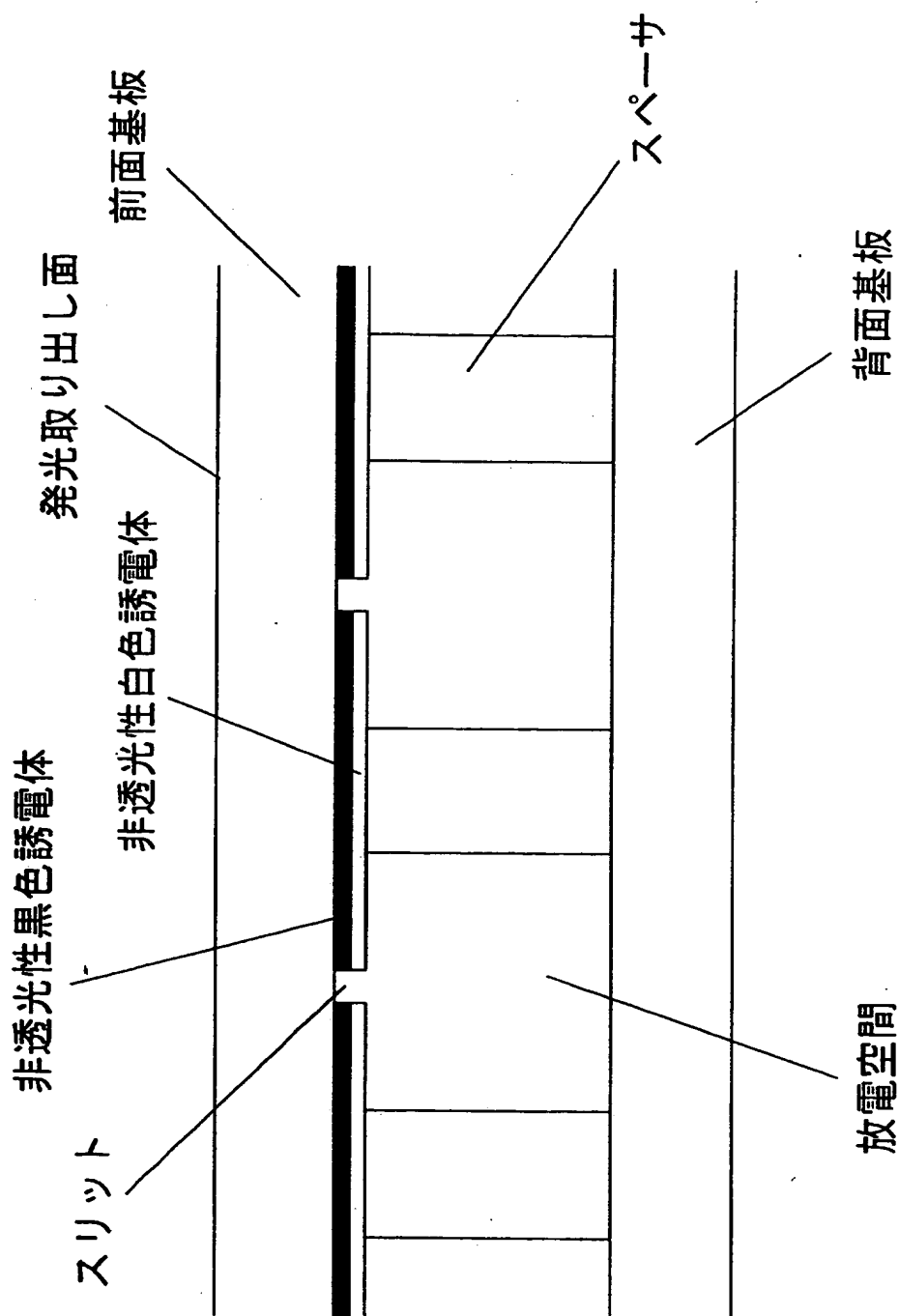
12SFのサブフレーム配列

【図 3 0】



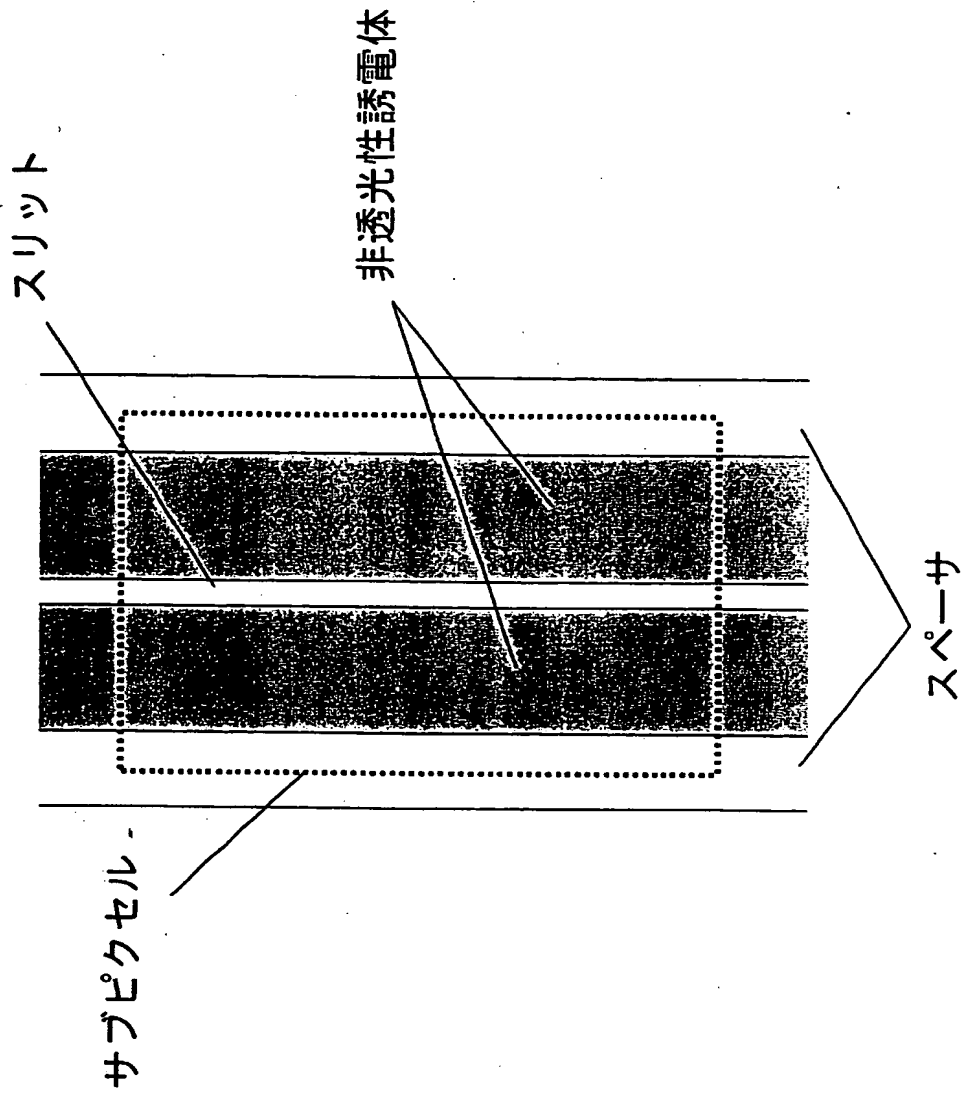
時間的に3つ並んだRGBによる白色表現

【図31】



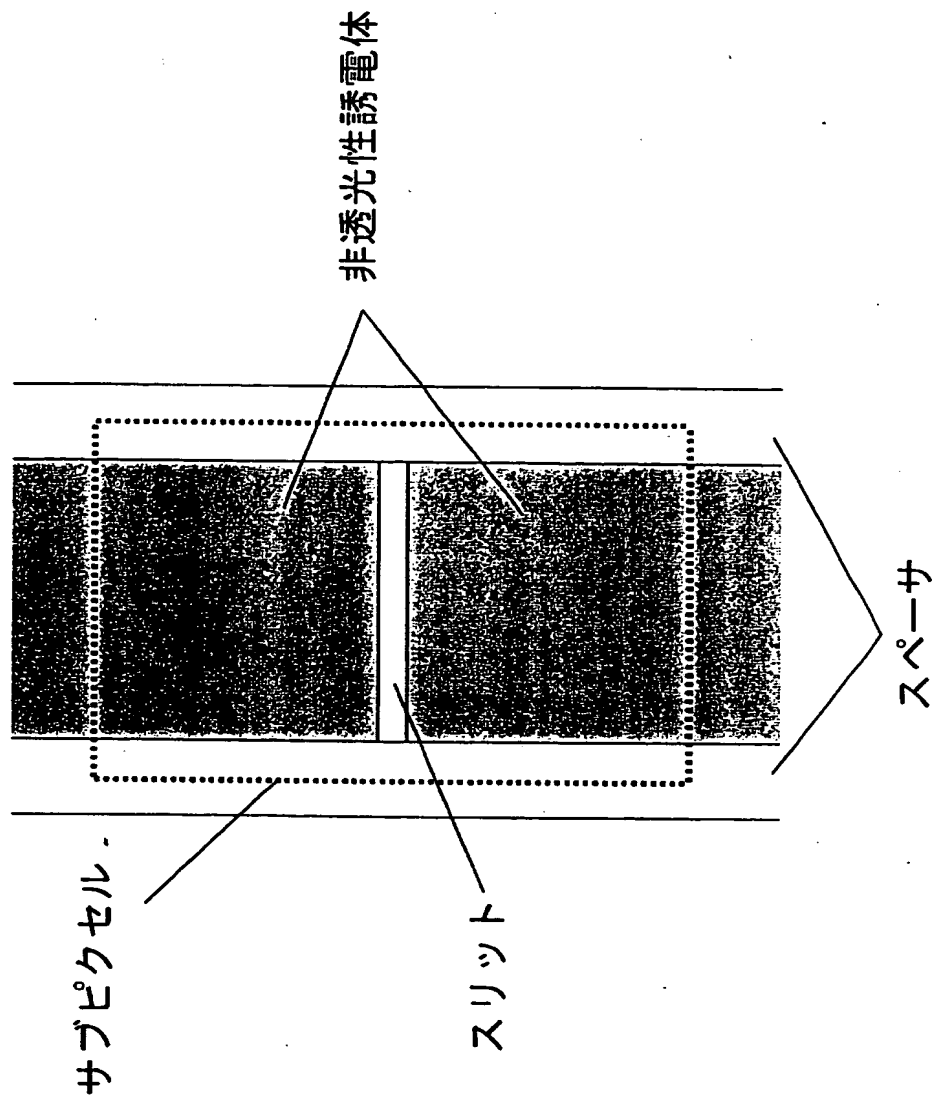
プラズマディスプレイの構造(断面図)

【図 3 2】



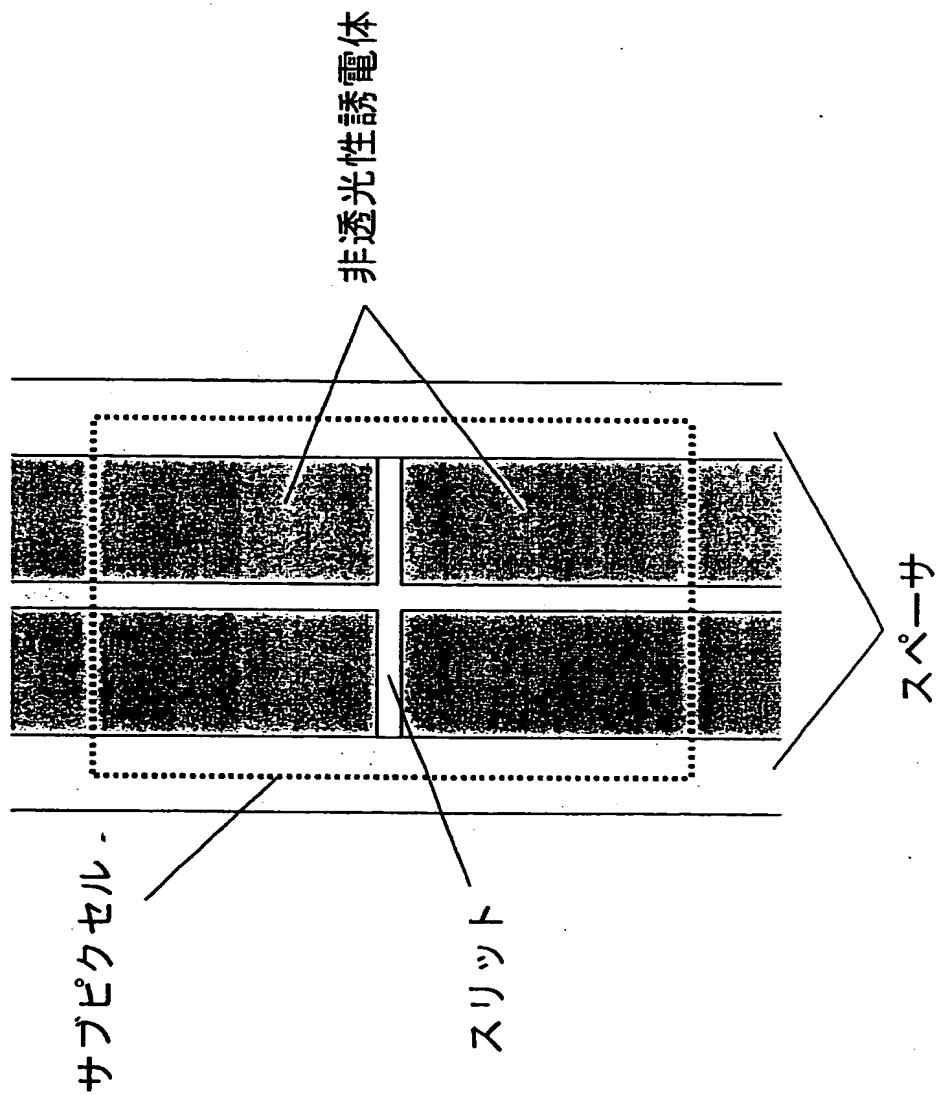
縦方向にスリットを設けた場合

【図 3 3】



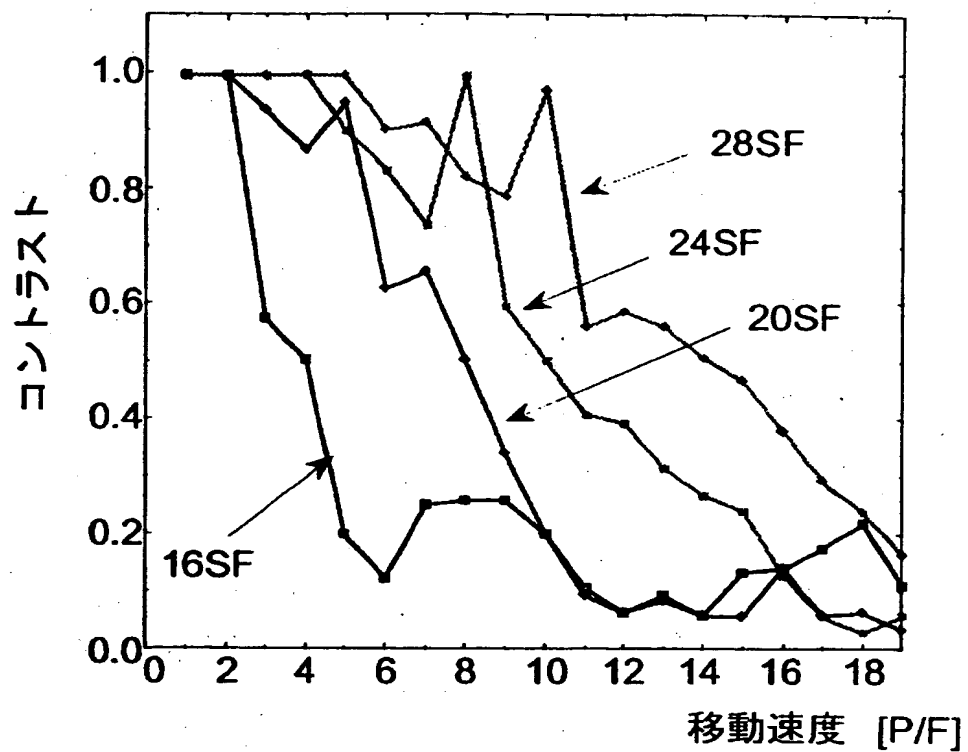
横方向にスリットを設けた場合

【図 34】



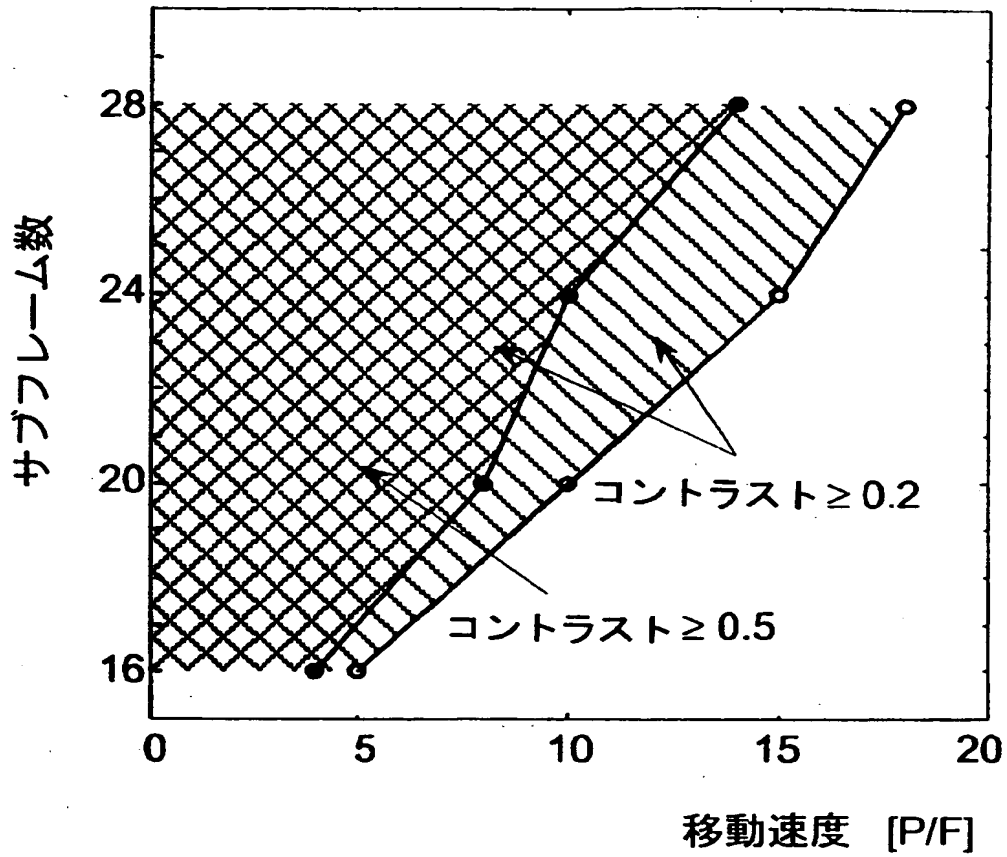
十字字型にスリットを設けた場合

【図 35】



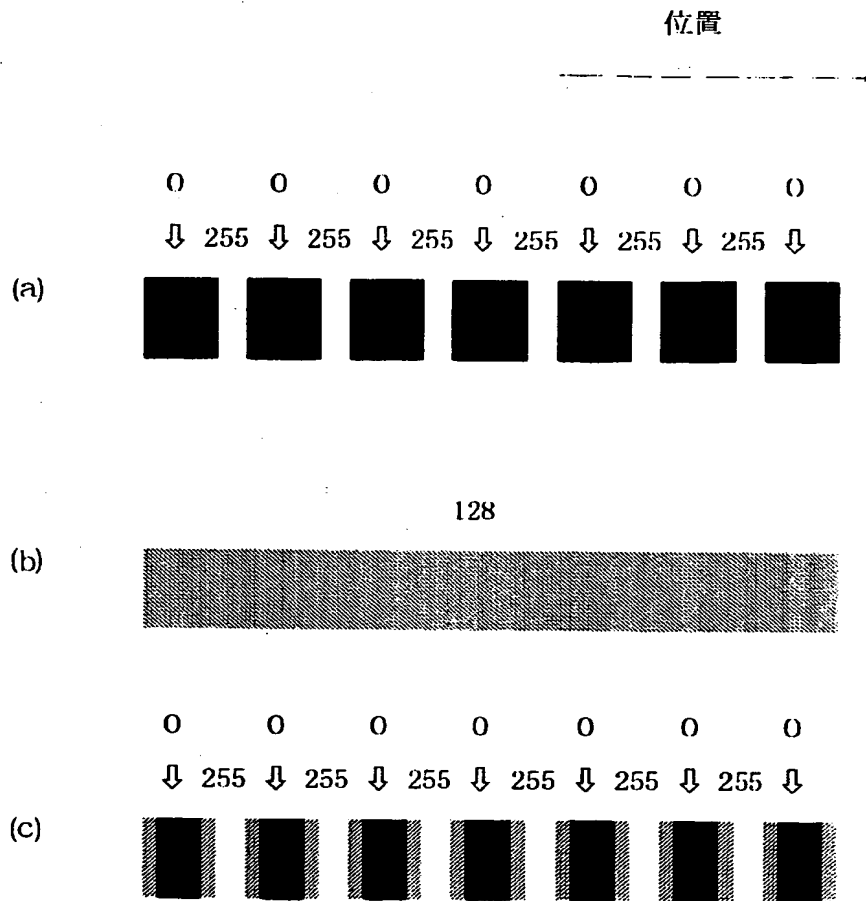
移動速度とコントラストの関係

【図 3 6】



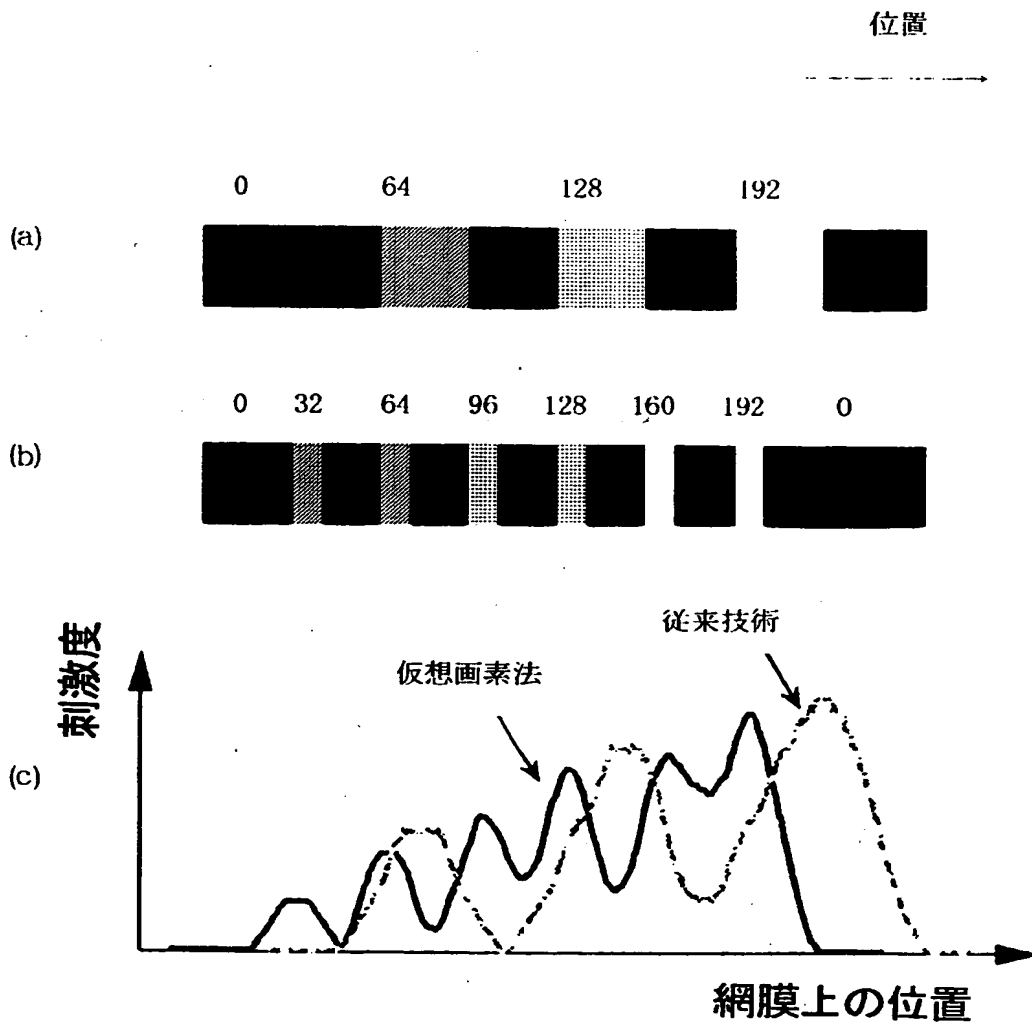
移動速度とサブフレーム数の関係

【図 3 7】



解像度の向上を示すシミュレーション
結果

【図 3 8】



補間法を併用した場合のシミュレーション結果

【書類名】 要約書

【要約】

【目的】 本発明は、プラズマディスプレイパネル（Plasma Display Panel:PDP）のような時分割表示方式を用いて階調を表現している表示装置において、その画質を改善し、高精細な映像表示を実現するための手法に関し、エッジ部分の不鮮明さを改善し、さらに従来のパネルを仕様変更せずにより高精細な映像表示を実現することを目的とする。

【構成】 画像を構成する1 フレーム期間を複数のサブフレームに分割し、前記サブフレームにおいて表示装置を構成する画素の発光を制御する手段を具備し、且つ表示画面上を任意の速度で移動する画像を表示する表示装置の駆動方法において、網膜に結像される特定の網膜上画素を想定し、該網膜上画素の輝度を入力画像の輝度と概略等しくするよう、前記各サブフレームにおける発光を制御する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [394023218]

1. 変更年月日 1994年10月20日

[変更理由] 新規登録

住 所 東京都杉並区和泉2-43-17

氏 名 御子柴 茂生

出 願 人 履 歴 情 報

識別番号 [599132708]

1. 変更年月日 1999年 9月17日

[変更理由] 新規登録

住 所 神奈川県川崎市高津区坂戸3丁目2番1号
氏 名 富士通日立プラズマディスプレイ株式会社